

# AXI Stream

平成29年8月14日

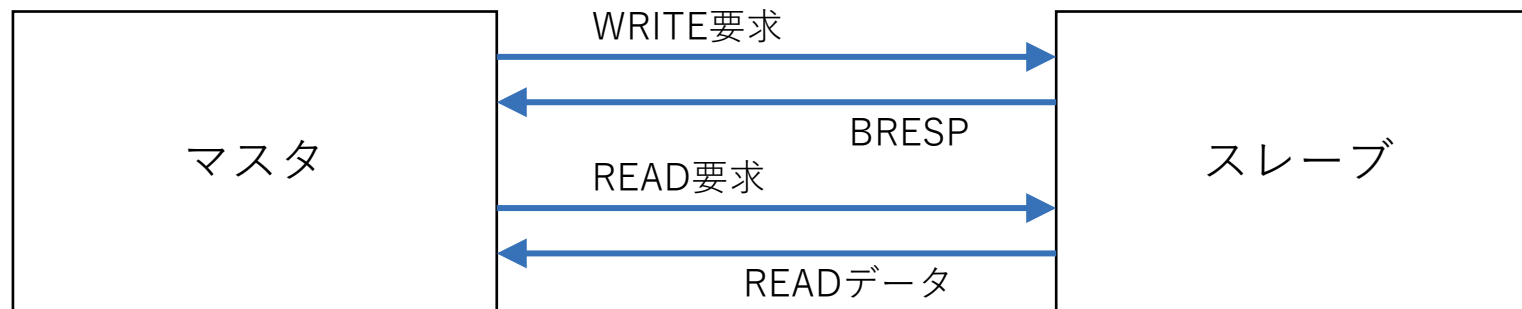
なひたふ for seccamp 17

# AXIとは

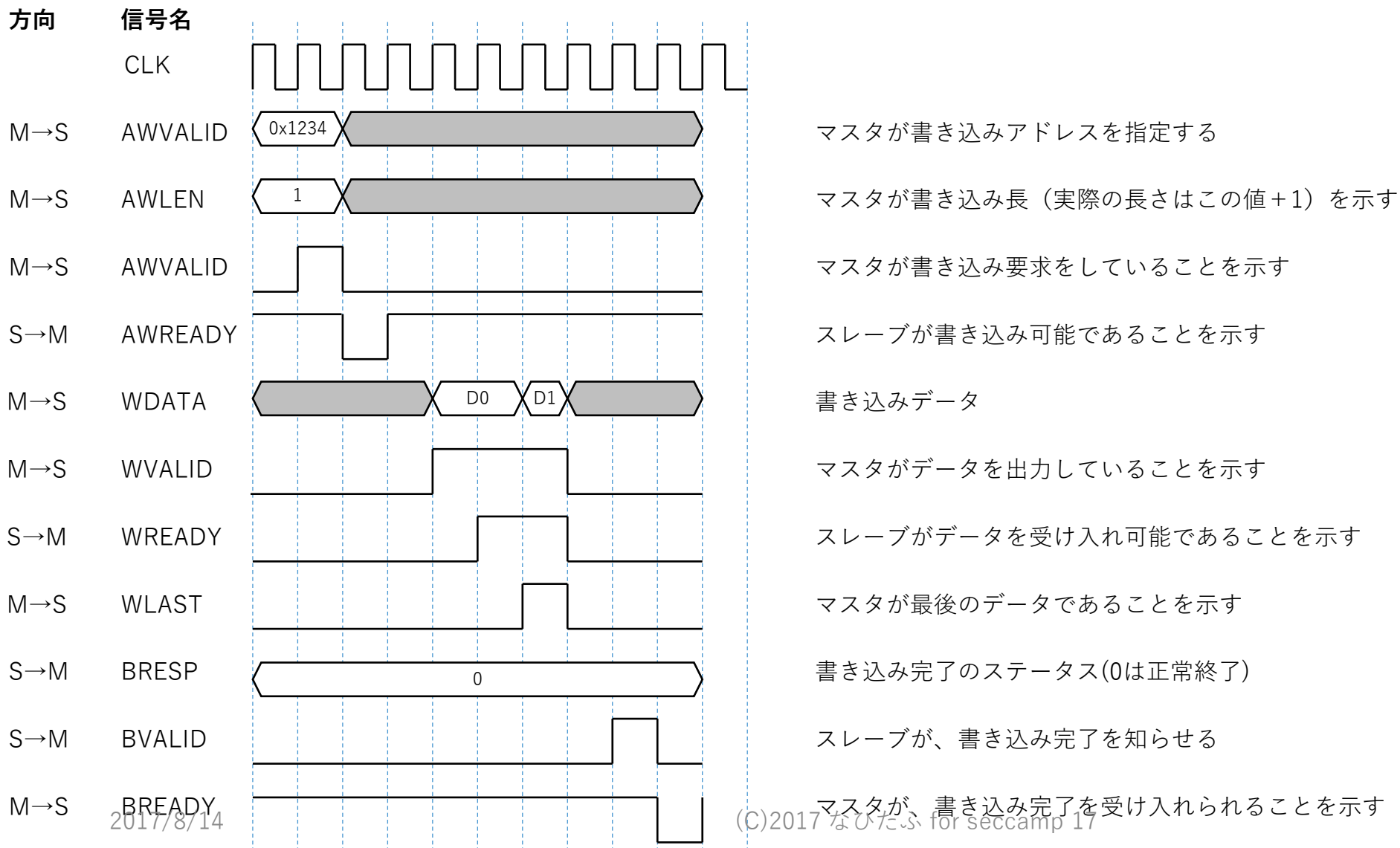
- AXI (Advanced eXtensible Interface)
- もともとはARMの規格
- XILINX FPGAが内部バスとして積極的に採用
- 現在のバージョンはAXI4

# AXIはどんなバス？

- マスタ・スレーブ方式で
- 読み出しと書き込みは別チャンネル
- トランザクション方式（マスタは、アドレスと長さを指定して、書き込み/読み出しリクエストを出す）
- スレーブはvalid信号で応答する
- 書き込みの場合はRESP信号で応答する

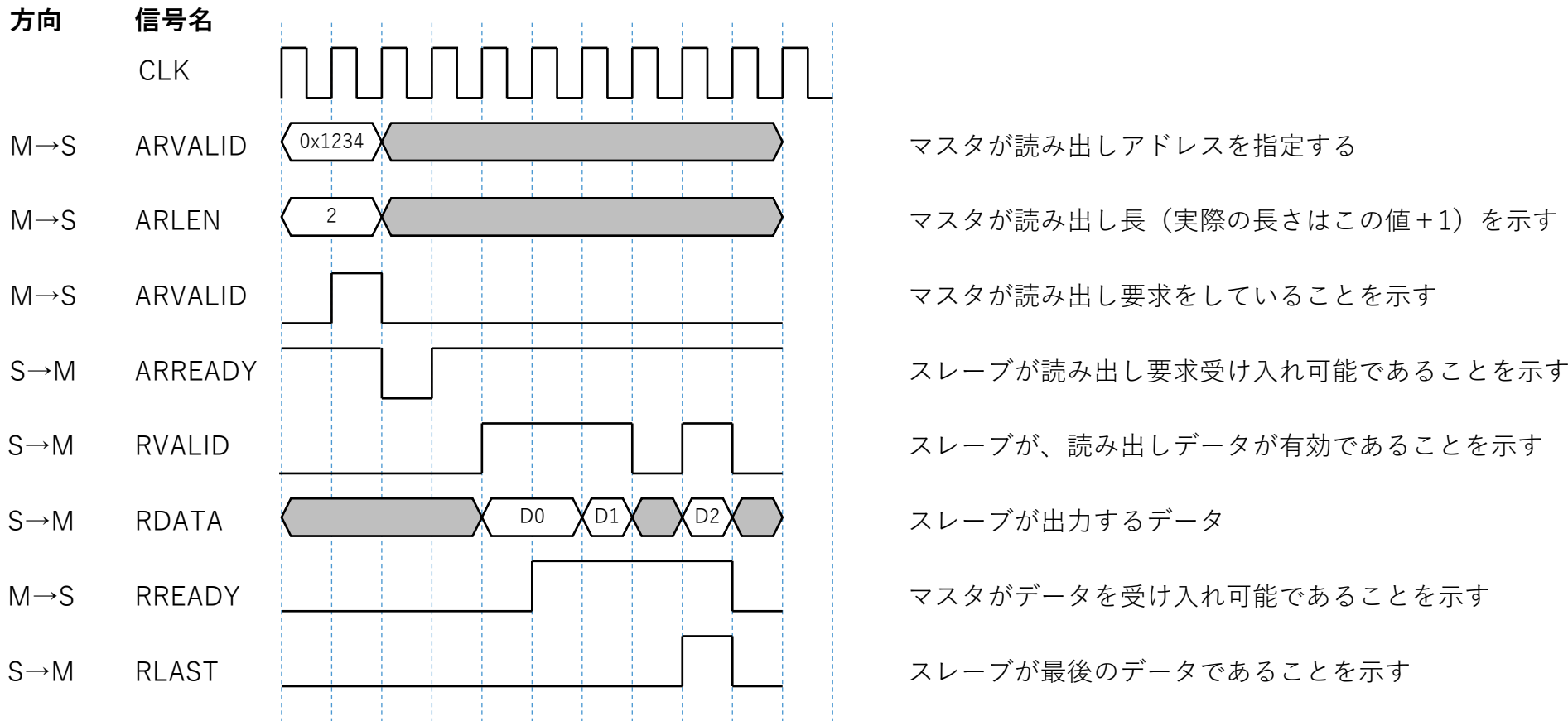


# AXIの基本的な波形(WR)



- AWVALIDを受け入れると、一般的にはAWREADYが一瞬下がります。
- AWVALID&AWREADYの条件でアドレスとLENが受け入れられます。
- LASTはマスタが出力します。LENを全部消化していなくてもLASTが下がる場合があります。
- WVALID&WREADYの条件で書き込みデータが受け入れられます。
- BVALIDは、DRAMなどへのデータ書き込み完了などを知らせるためにもつかわれるので、数十ns遅れてくることもあります。

# AXIの基本的な波形(RD)



- ARVALIDを受け入れると、一般的にはARREADYが一瞬下がります。
- ARVALID&ARREADYの条件でアドレスとLENが受け入れられます。
- RVALID & RREADYの条件で読み出しデータが受け入れられます。
- LASTはスレーブが出力します。

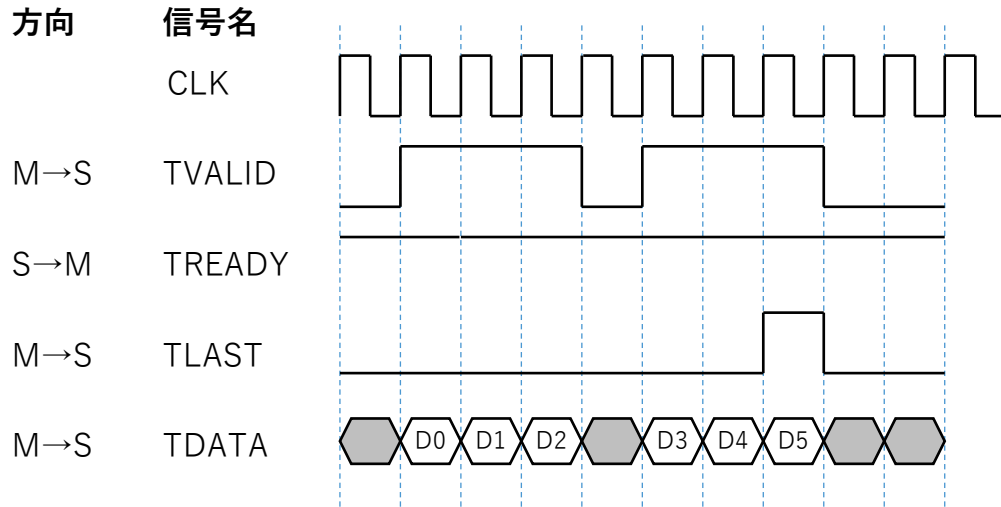
# AXIの特徴

- READYとVALIDでハンドシェイクする
  - データ転送の途中で止めてもよい
- LASTで最後のデータを示す

# AXIの種類

インタフェース	特徴	用途
AXI	メモリマップ方式 アドレス/データ データのバーストをサポート	メモリアクセス
AXI Lite	メモリマップ方式 長さがない アドレス/データ	制御レジスタ
AXI Stream	アドレスがない データのバーストのみをサポート 単方向のみ	音声、ビデオ 通信データ AD変換データ

# AXI Streamの波形



マスタがデータを出力していることを表す

スレーブがデータを受け入れ可能であることを示す

マスタがデータの最後のワードであることを示す

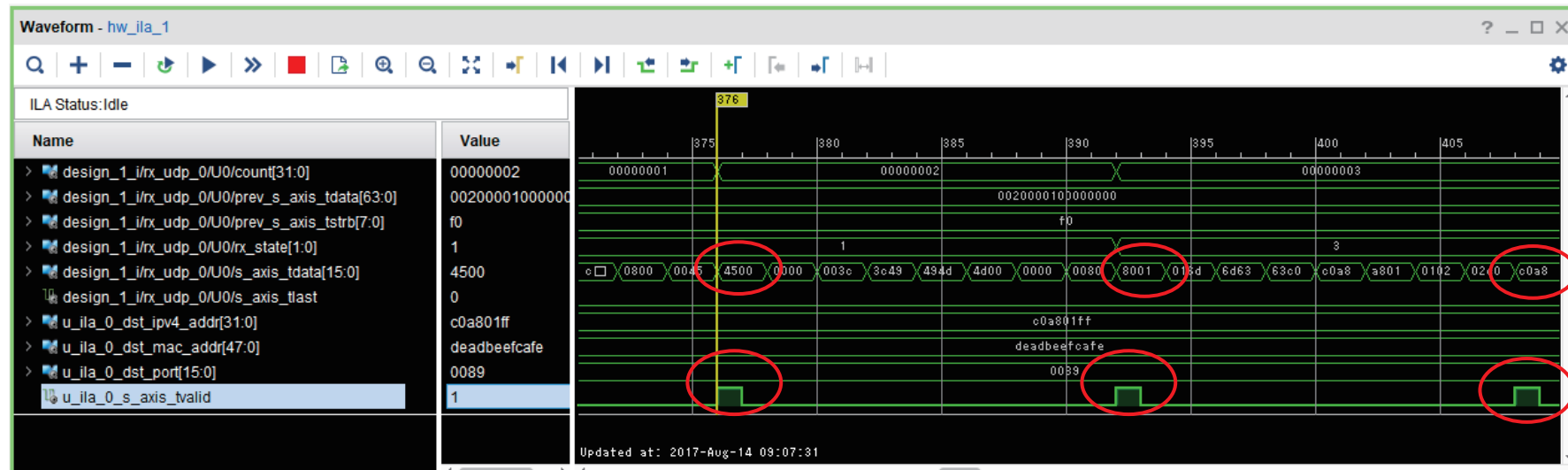
マスタが送信するデータ

- TVALID&TREADYの条件でデータが転送されます。
- TREADYの使用は強く推奨されています。
- LASTは最後のデータを示します
- TSTRB、TKEEP、TID、TDEST、TURERは使わない



# 実際の波形

- ether\_coreの出力
- PINGを受信したとき



3FC8  
4500  
8001  
C0A8  
0001  
6566  
6D6E  
7576  
6667  
0000

tvalidがぴよこぴよこ動いて、tdataに何かのデータが送られてくる

# これは何？

- PINGのパケットの7,8バイト目です

```
Internet Protocol Version 4, Src: 192.168.2.86, Dst: 192.168.2.190
  0100 .... = Version: 4
    .... 0101 = Header Length: 20 bytes (5)
      > Differentiated Services Field: 0x00 (DSCP: CS0, ECN: Not-ECT)
0000  de ad be ef ca fe 3c f8 62 dc 8e 53 08 00 45 00  .....<. b..S..E.
0010  00 3c 7f ea 00 00 80 01 34 72 c0 a8 02 56 c0 a8  .<..... 4r...V..
0020  02 be 08 00 4c a5 00 01 00 b6 61 62 63 64 65 66  ....L... ..abcdef
0030  67 68 69 6a 6b 6c 6d 6e 6f 70 71 72 73 74 75 76  ghijklmn opqrstuv
0040  77 61 62 63 64 65 66 67 68 69  wabcdefg hi
```

- AXIのバスが64bitなのに対して、下位16bitのみ見ているため、こう見える
- パケットの最後でTLASTが立つ

# まとめ

- AXIはXILINX FPGAの中での標準的なバス
- AXI Streamは、ただのデータ垂れ流しにVALIDとREADYの概念を加えたもの。
  - 受信側は、データを止めてほしいとき（WAITをかけたいとき）にREADYを下げればよい
  - READYはオプション
- 最後のワードではLASTを立てる。
  - 受信側は、LASTの次はパケットの先頭として解釈するので、LASTは重要。