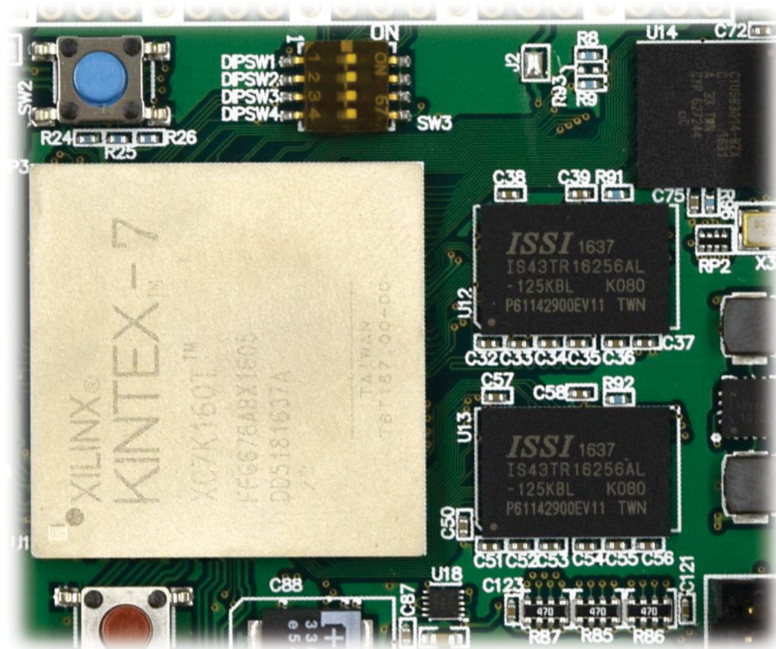


PCIe & SFP+ボード 『Cosmo-K』

MIG 設定ガイド



第 1.0 版

平成 29 年 5 月 22 日

特殊電子回路株式会社

重要 必ずお読みください

本製品を安全にお使いいただくために、以下に示す注意事項を必ずお守りください。万が一、誤った使い方をされると、お客様のターゲットボードの破損、怪我、火災の原因となるおそれがあります。

1. 通電状態の機器に触れる際には、破損や感電、怪我などに十分ご注意ください。
2. 本製品を誤った方向に差し込むと、ハードウェアが破損することがあります。また、本製品の挿抜は必ず電源断の状態で行ってください。
3. 本製品に強い振動や衝撃、熱を与えないで下さい。
4. 万が一、異常を感じた場合は速やかに電源を OFF にし状況を確認してください。

本製品は、教育や試作など FPGA の動作検証目的などを想定して作られており、この装置を使用した結果は一切保証できません。本製品はお客様機器の研究・開発・評価・教育用としてのみご使用ください。

また、書面による事前の許諾なしに次に掲げるハイリスク用途に使用することはできません。

1. 人命に関わる機器
2. 医療機器
3. 誤動作により、人体、財産または自然環境に影響を及ぼす可能性のある機器
4. 誤動作により、火災の発生を起こさせる可能性のある機器
5. 航空・宇宙機器およびナビゲーションシステム
6. 兵器システムあるいは軍事目的の機器を製造または製造の支援をするための機器
7. 原子力関連機器
8. 電動工具
9. その他、デバイスの誤動作やデータの消失によって、何らかの損害を被る場合や何らかの問題が生じる装置

目次

1. はじめに	4
2. サンプルデザイン	4
3. MIG コアのインプリメント方法	6
3. 1 新規デザインでの MIG の使用	6
3. 2 既存のルデザインでの MIG の使用	6
3. 3 MIG の設定	8
3. 4 アドレスの設定	24
4. DCI カスケードの設定	25
5. クロック	26
5. 1 MIG 入力クロック	26
5. 2 クロックジェネレータ	27
5. 3 オンボード水晶発振器	32
5. 4 クロック関係の XDC ファイル設定	33
5. 5 MIG の出力クロック	33
5. 6 メモリのクロック速度の変更	34
6. AXI インタコネクタの利用	35
7. FPGA の DDR3-SDRAM ポートのピン配置	36
8. その他の事項	38
8. 1 MIG の起動	38
8. 2 XADC を使用しない方法	38

1. はじめに

Kintex-7 FPGA ボード「Cosmo-K」シリーズには 1GByte の DDR3 メモリが搭載され、6.4GByte/sec の帯域で FPGA と接続されています。このマニュアルは XILINX のメモリコントローラ「MIG」を使用して、Cosmo-K の DDR3 メモリを活用する方法を説明します。

表 1 対象製品

Cosmo-K+
Cosmo-K-
Cosmo-K0
Cosmo-K DVI

2. サンプルデザイン

Cosmo-K のサンプルデザイン「cosmok-fx3-axi-ddr3」は、USB3.0 と DDR3 メモリコントローラを AXI で接続するサンプル回路です。この回路を元に DDR3 メモリコントローラの使用方法を説明します。

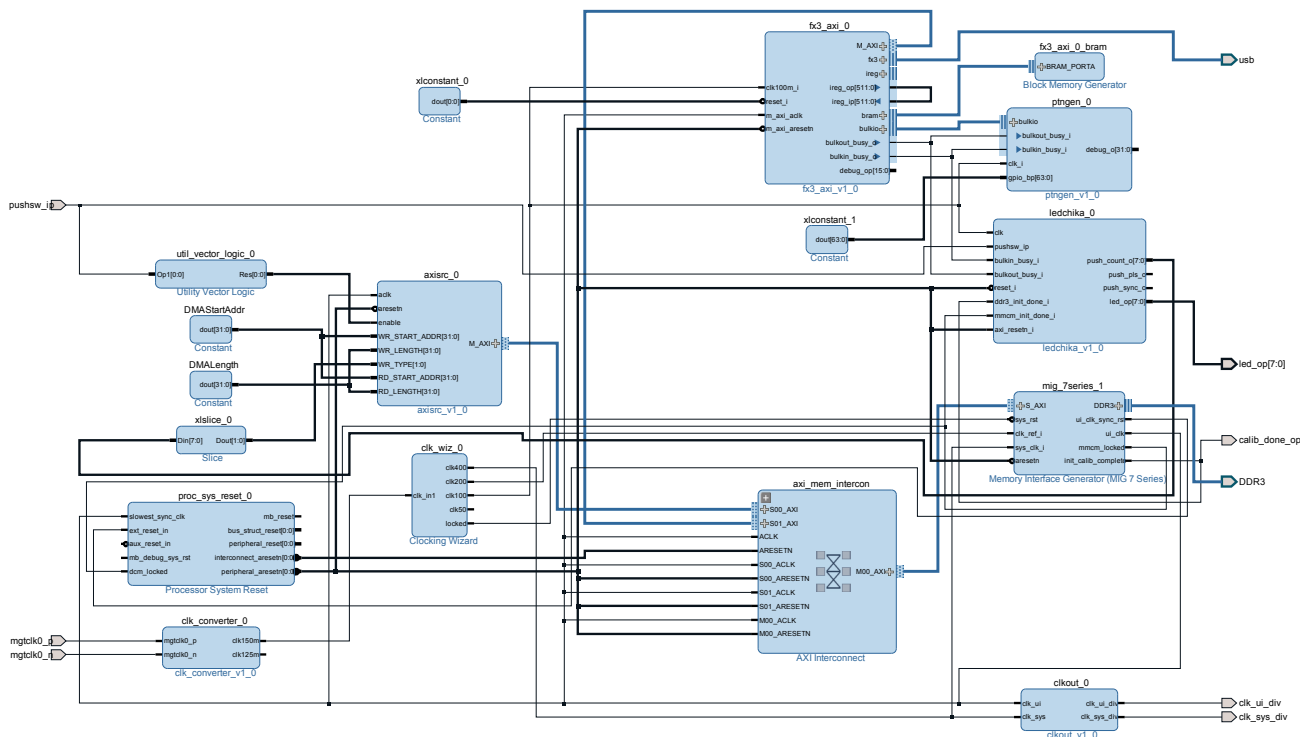


図 1 Cosmo-K のサンプルデザイン

サンプルデザインは Vivado の BlockDesign を用いて作成されています。
このデザインには以下の表 2 に示すモジュールが含まれます。

表 2 サンプルデザインのモジュール

モジュール名	説明
proc_sys_reset_0	XILINX の IP コアで、リセットを生成します。
clk_converter_0	GTX 用のクロックをユーザロジックで使用できるようにします。
axisrc_0	AXI バスにバーストリード/ライトのテスト波形を送り出す回路です。
clk_wiz_0	XILINX の IP コアで、各種のクロックを生成します。
axi_mem_intercon	1 つの AXI スレーブ (MIG) を 2 つの AXI ソース (axisrc と fx3_axi) からコントロールするための、2:1 バスマルチプレクサです。
fx3_axi_0	USB3.0 のアクセスコアです。
fx3_axi_0_bram	USB3.0 コアからアクセスする BRAM モジュールです。オプションなので、なくても構いません。
ledchika_0	アドバンスド LED チカチカコアです。
ptngen_0	USB3.0 用のパターンジェネレータです。使用されていません。
mig_7series_1	DDR3 メモリアクセス用の IP コアです。

3. MIG コアのインプリメント方法

MIG (Memory Interface Generator) は、XILINX の提供する汎用 DDR メモリコントローラです。MIG は AXI スレーブインタフェースを持っており、MIG を使うとユーザデザインで DDR3 メモリを容易に使うことができますようになります。

3. 1 新規デザインでの MIG の使用

新規のデザインで MIG を使用するには、Vivado で Add IP の操作を行います。ブロックデザインの白い背景で右クリックするか、ツールバー上のボタン図 2 のボタンを押します。

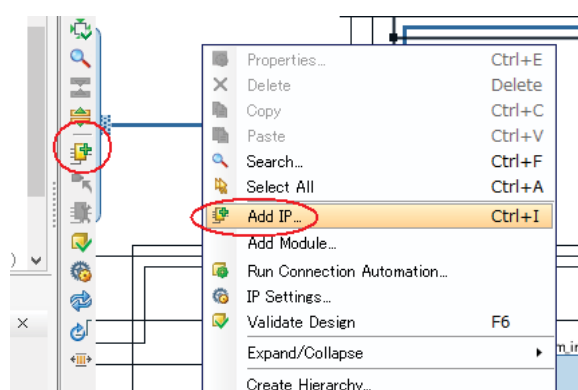


図 2 Add IP ボタン

図 4 の IP 検索ダイアログが出たら、mig と入力し、表示された Memory Interface Generator (MIG 7 Series)をクリックします。図 5 の MIG ダイアログが出たら、Next を押します。

3. 2 既存のルデザインでの MIG の使用

既存のデザインで MIG を使用するには、ブロックデザイン上の mig_7series_1 をダブルクリックし、MIG の設定ダイアログを開きます。

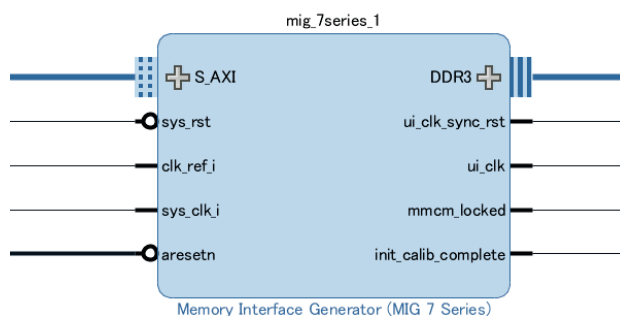


図 3 MIG モジュール

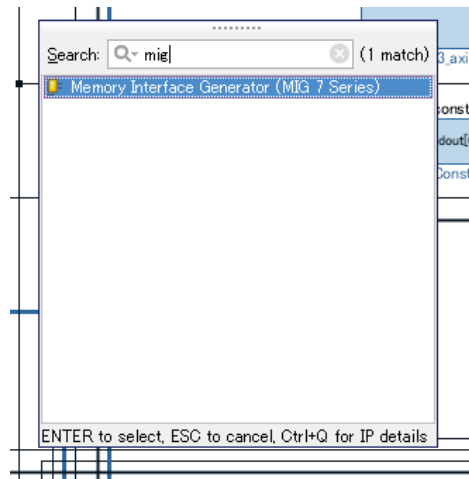


図 4 IP 検索ダイアログ

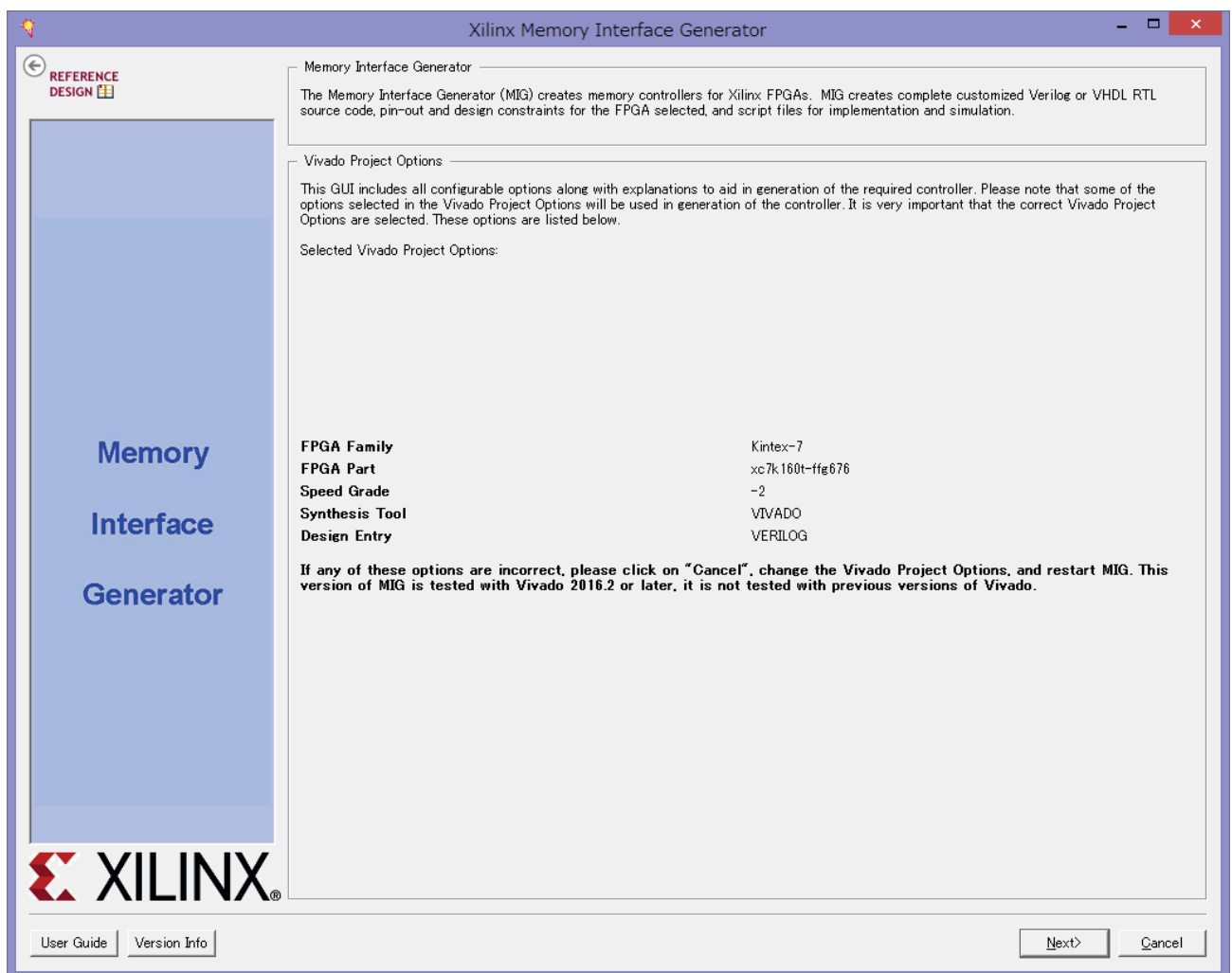


図 5 MIG ダイアログ

3. 3 MIG の設定

MIG 設定ダイアログの最初のページでは、コントローラの数と、新規デザインまたは更新を選択します。新規に作成する場合は **Create Design** を、更新の場合は **Verify Pin Changes and Update Design** を選びます。

コントローラの数 (**Number of Controllers**) は 1 にします。

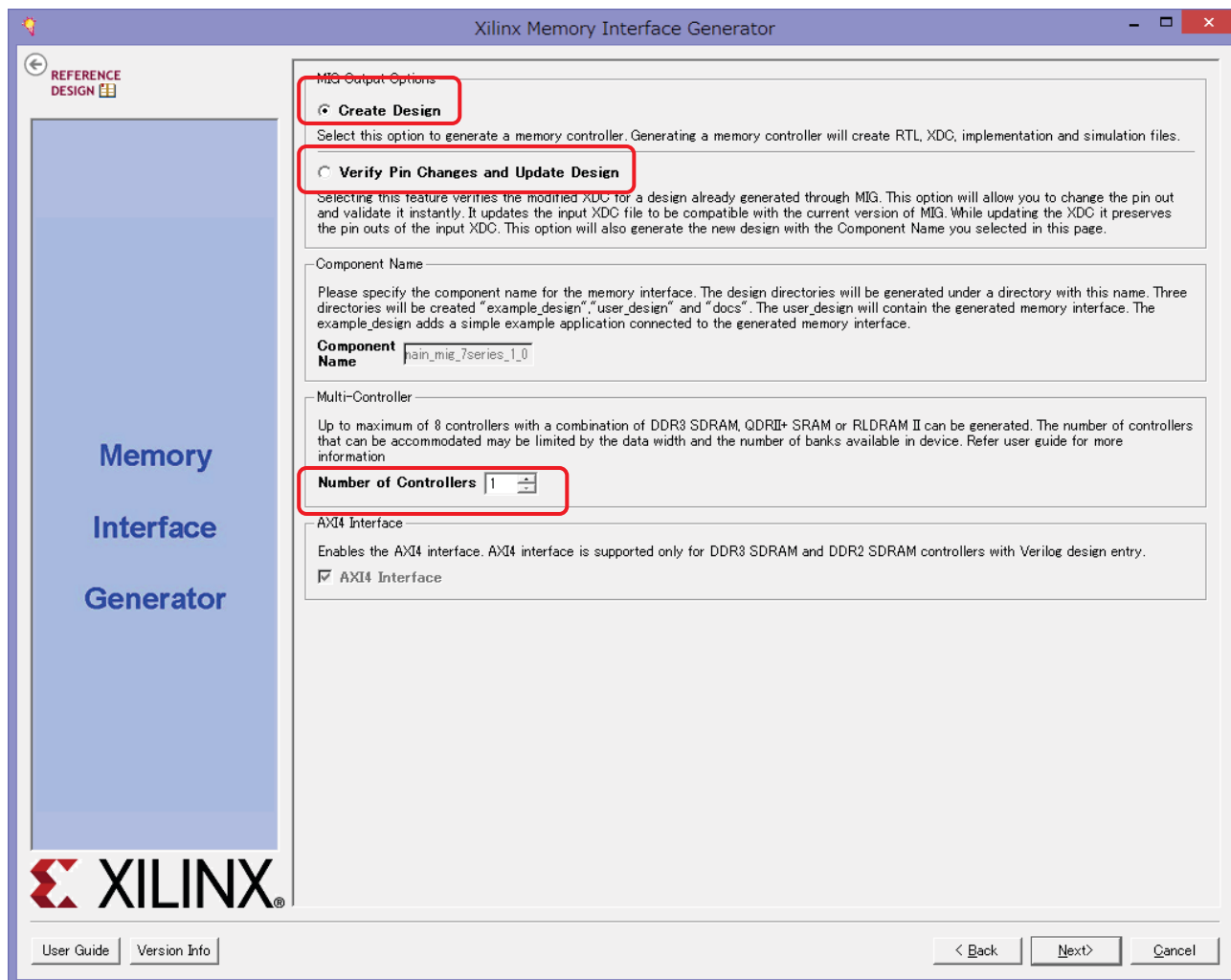


図 6 MIG 設定ダイアログ最初のページ

次のページでは、特に何もせずに Next を押します。

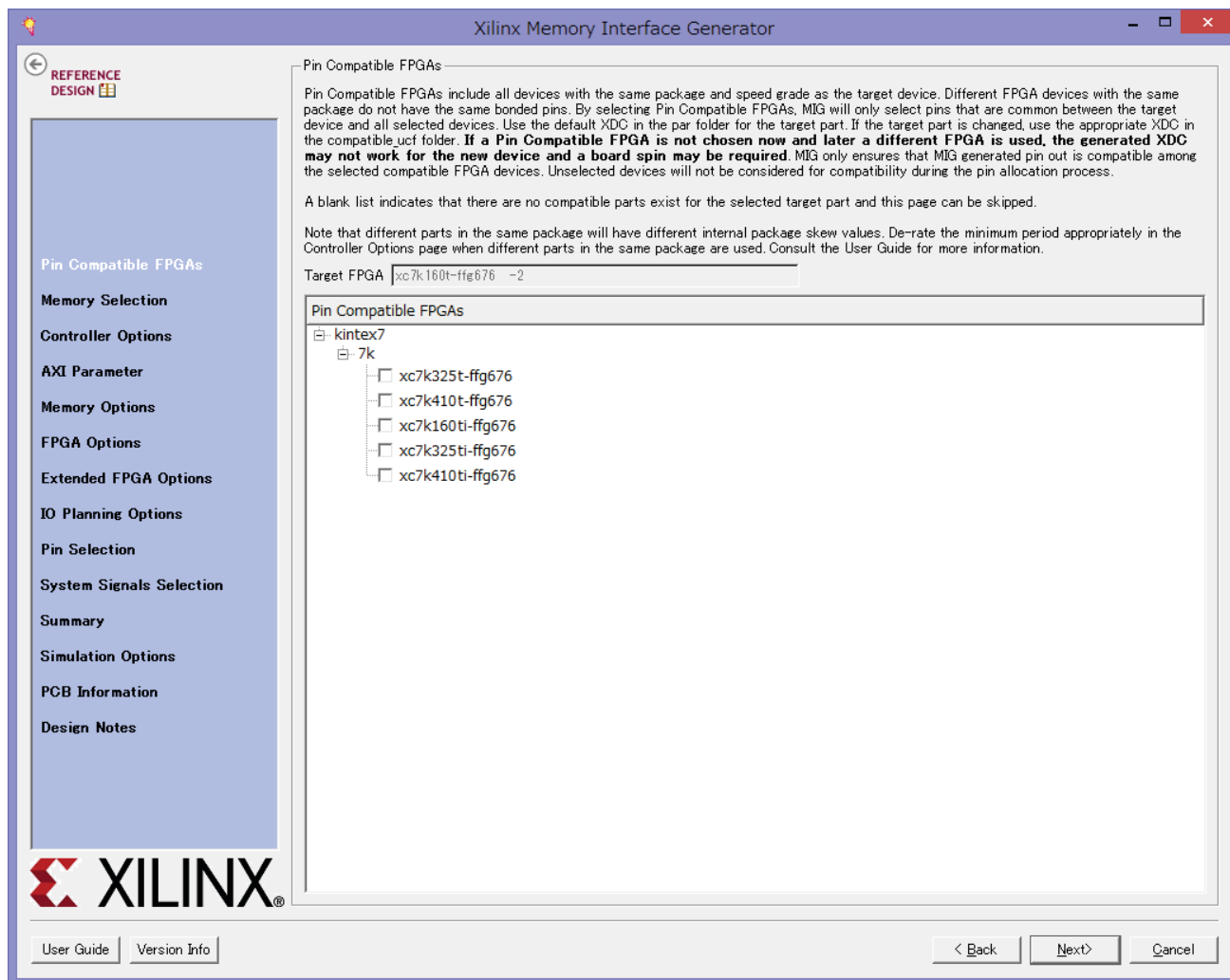


図 7 このダイアログでは行うことはない

次のダイアログでは、DDR3 SDRAM を選択（デフォルト）します。

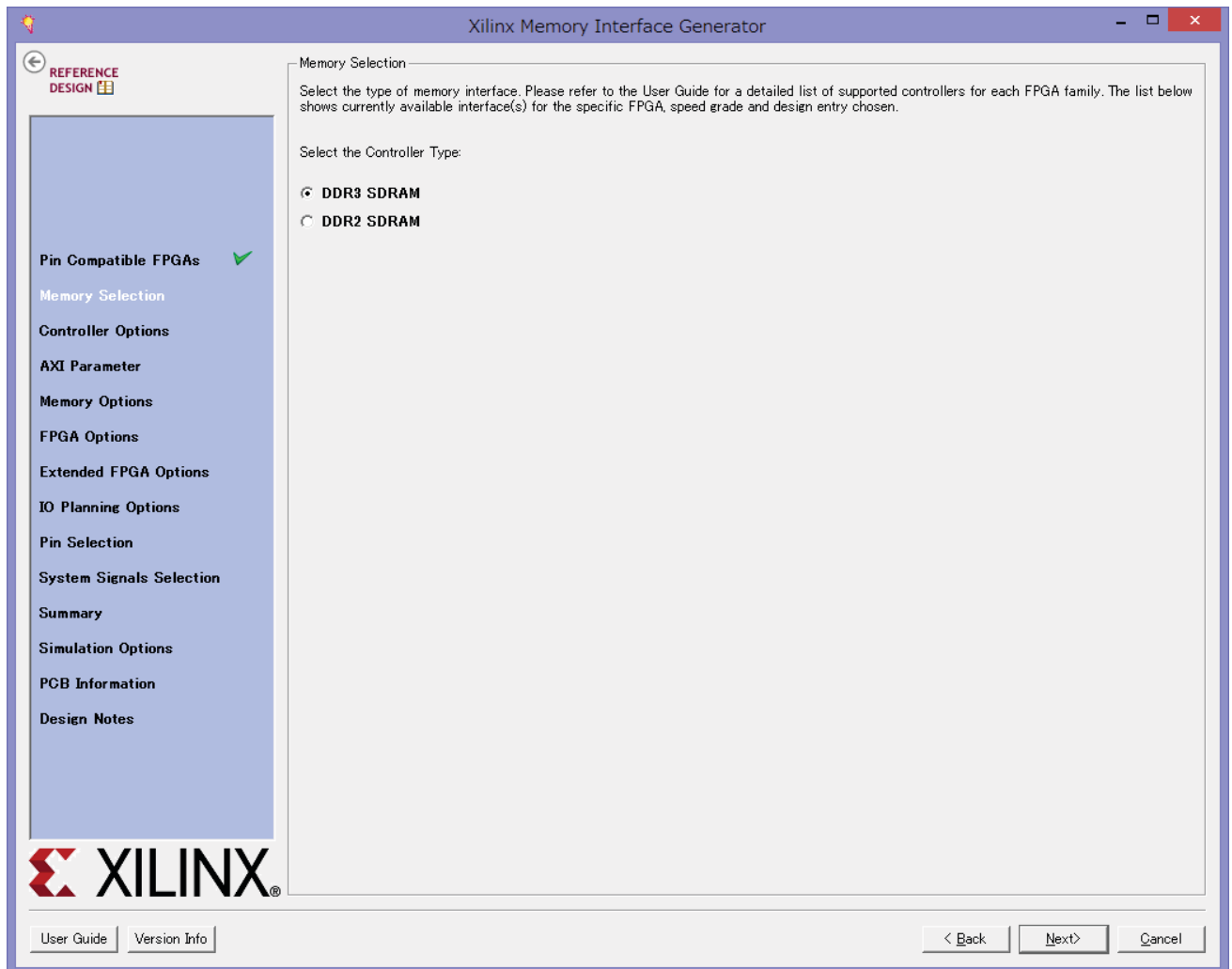


図 8 DDR3 SDRAM を選択する

図 9 のダイアログではメモリの速度やバス幅など、基本的な設定を行います。

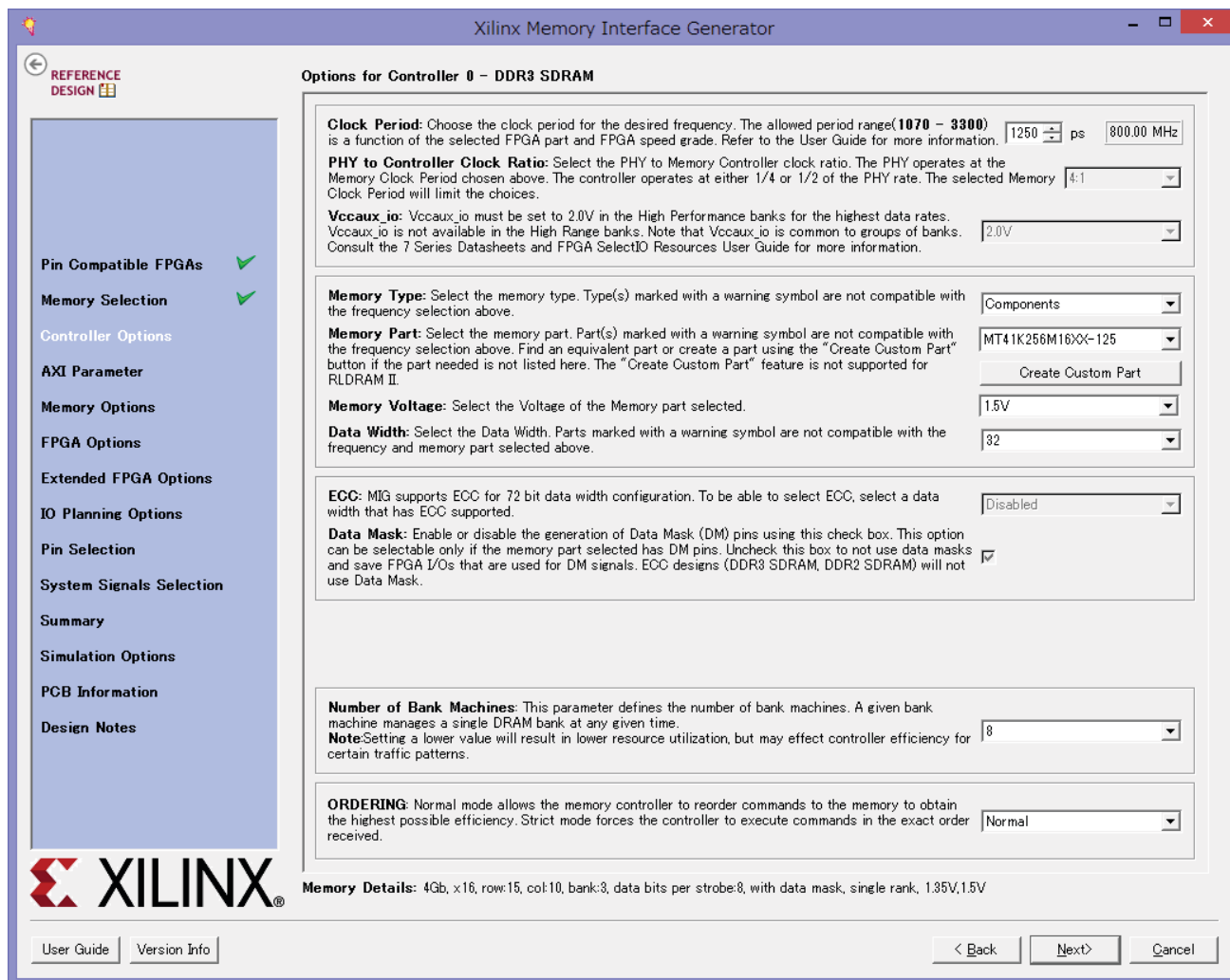


図 9 メモリ基本設定ダイアログ

- Clock Period・・・DDR3 メモリのクロック周期を指定します。最高速度で動作させる場合には **1250** にします。1250ps の場合 800MHz 動作となります。DDR3 は Double Data Rate なので、データレートはクロック周波数の 2 倍 (1600MHz) となります。
- Memory Type・・・**Component** を選びます。DIMM ではなく、メモリ IC を使用するという意味です。
- Memory Part・・・使用しているメモリに近い、**MT41K256M16XXX-125** を選択します。この選択で、容量、アドレス線の構造、バンク構成などが自動的に設定されます。
- Memory Voltage・・・**1.5V** を選択します
- Data Width・・・**32** を選択します。
- Number of Bank Machines・・・**8** を選択します。
- ORDERING・・・デフォルトのまま **Normal** にします。

図 10 に、選択されたメモリのパラメータを示します。

Custom Memory Part

This option creates a new memory part. Note that the new part will be a modification of the "Base Part" selected below. The timing parameters and the density can be changed.

Select Base Part:

Enter New Memory Part Name:

Change the required Timing Parameters. "Value" is the only field that can be edited.

Parameter	Value	Range	Units	Descriptions
tcke	5	5-20	ns	CKE minimum pulse width
tfaw	40	25-55	ns	Four Address Width
tras	35	33-37.5	ns	Active to Precharge command
trod	13.75	10-15	ns	Active to Read or write delay
trefi	7.8	3.9-7.8	us	Average periodic refresh interval
trfc	260	90-350	ns	Refresh to Active or Refresh to Refresh
trp	13.75	10-15	ns	Precharge command period
trrd	7.5	5-20	ns	Activate minimum command period
trtp	7.5	7.5-20	ns	Read following a Write to the same de...
twtr	7.5	7.5-20	ns	Read following a Write to the same de...

Row Address:

Column Address:

Bank Address:

Buttons: Help, Save, Delete, Cancel

図 10 選択されたメモリのパラメータ

図 11 のダイアログでは、AXI 側データバスの構成などを設定します。

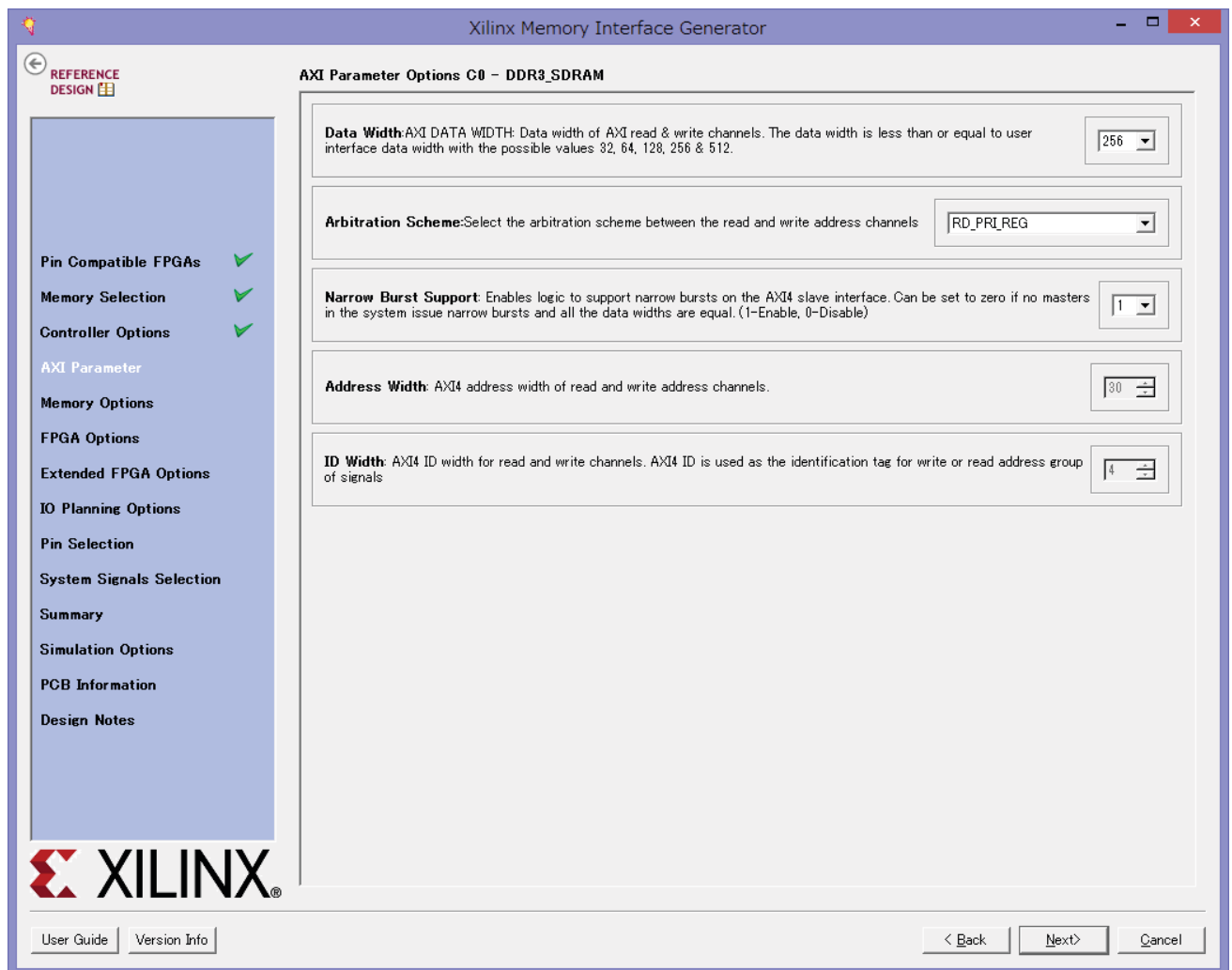


図 11 AXI バスの構成

- Data Width・・・256 を選択します。
- Arbitration Scheme・・・デフォルトのまま RD_PRI_REG を選択します
- Narrow Burst Support・・・デフォルトのまま 1 を選択します
- Address Width・・・デフォルトのままにします
- ID Width・・・デフォルトのままにします

図 12 のダイアログでは、メモリの操作に関するその他の設定を行います。

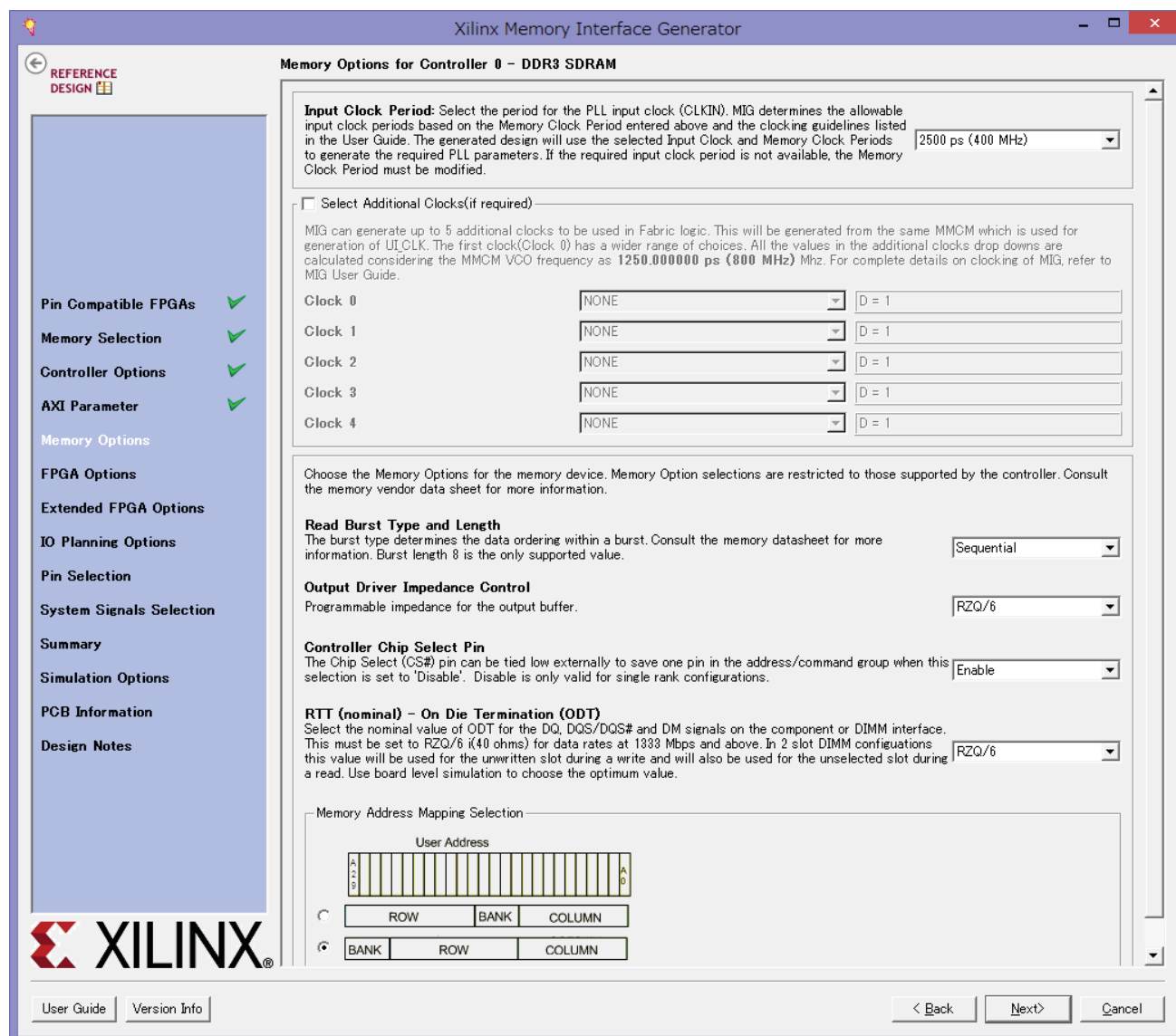


図 12 メモリオプション設定

- Input Clock period・・・MIG ブロックに入力するクロック周波数を指定します
この設定はユーザのデザインによって変更する必要があります。
- Select Additional Clocks・・・未設定のままにします
- Read Burst Type and Length・・・Sequential にします
- Output Driver Impedance Control・・・RZQ/6 にします
- Controller Chip Select Pin・・・Enable にします
- RTT(nominal)・・・RZQ/6 にします

図 13 のダイアログではクロックやリセットの設定を行います。

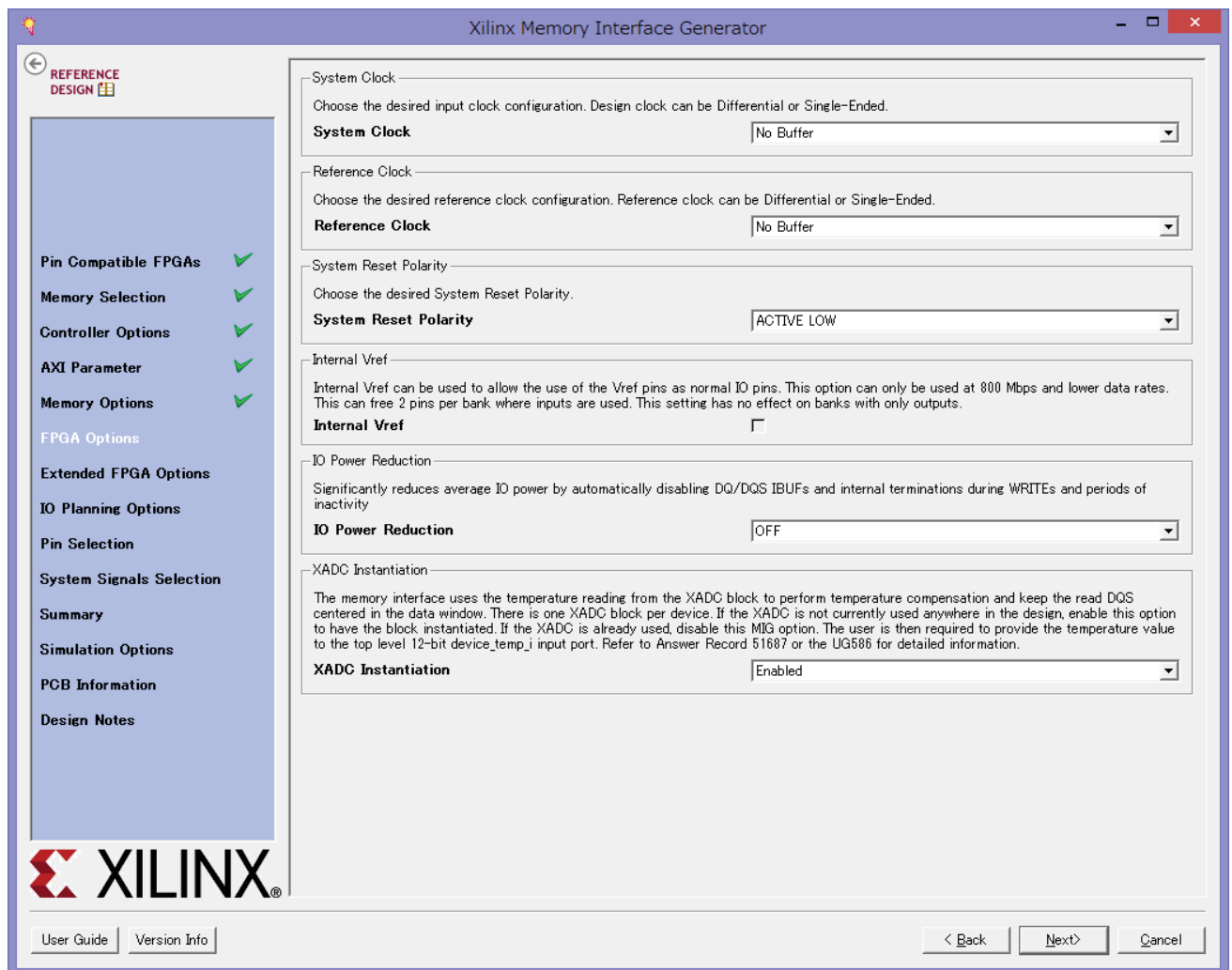


図 13 クロックとリセットの設定

- System Clock・・・FPGA 内部で MMCM 等で生成したクロックを使用する場合は、**No Buffer** を選択します¹。
- Reference Clock・・・FPGA 内部で MMCM 等で生成したクロックを使用する場合は、**No Buffer** を選択します。
- System reset Polarity・・・リセットの極性を指定します。**ACTIVE LOW** にします。
- Internal Vref・・・内蔵電圧リファレンスの使用を指定します。高速なメモリの場合は使用することはできません。
- IO Power Reduction・・・I/O の電力削減ですが、高速なメモリでは OFF にします。
- XADC Instantiation・・・温度管理のため XADC を使用します。Enabled にします。
XADC を使用しない方法は後ろの章で解説します。

¹ 外部のクロックピンから直接接続する場合は Single End または Differential を選択するが、本基板ではサポートしていない。

図 14 のダイアログでは FPGA のその他のオプションを設定します。

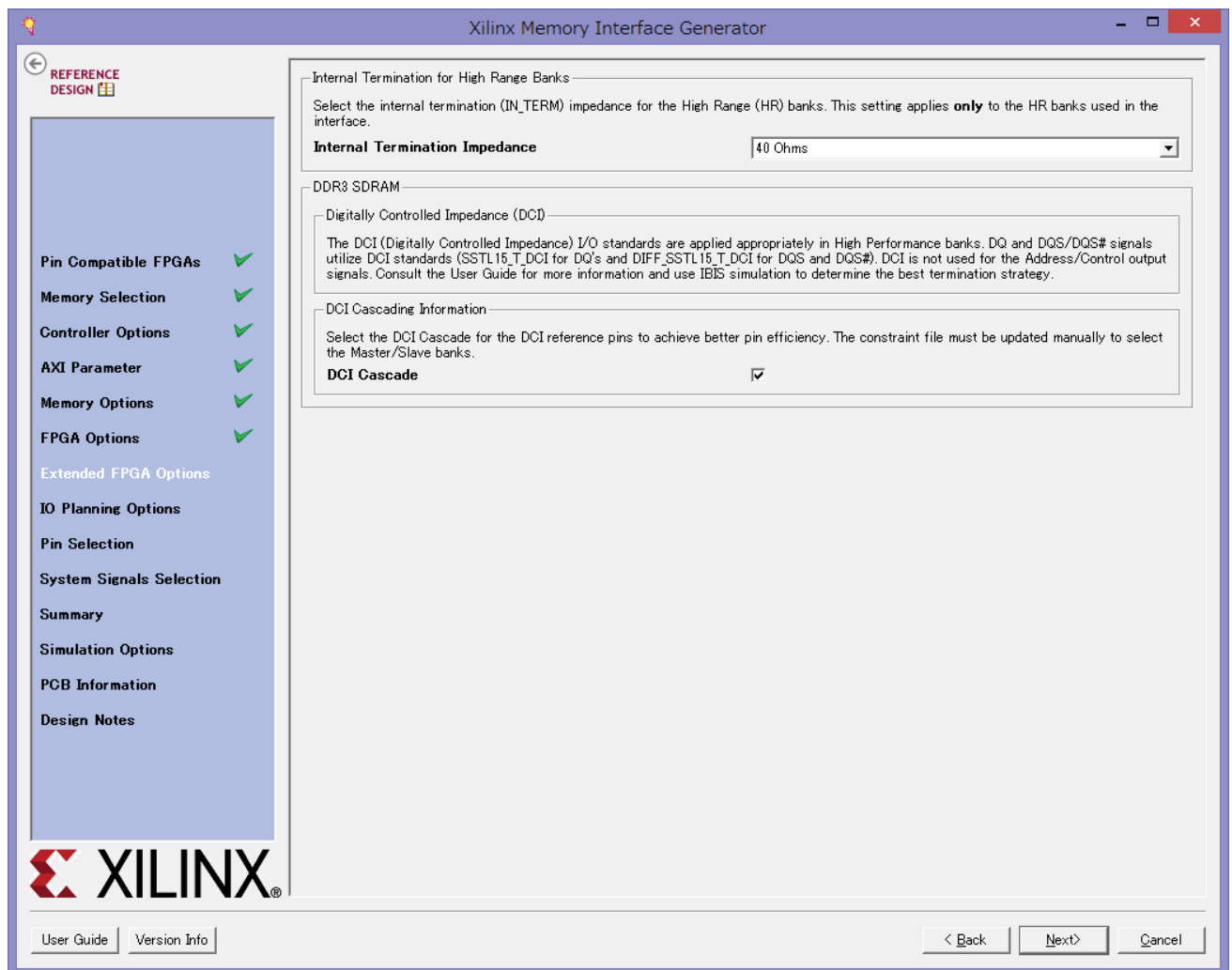


図 14 FPGA のその他のオプション

- Internal Terminal Impedance・・・**40 Ohms** にしますが、50 Ohms でも構いません。効果は未検証でしょう。
- DCI Cascade・・・**必ずチェック**します。

図 15 のダイアログでは、新規デザインか、ピン配置をユーザが指定するかを選択します。

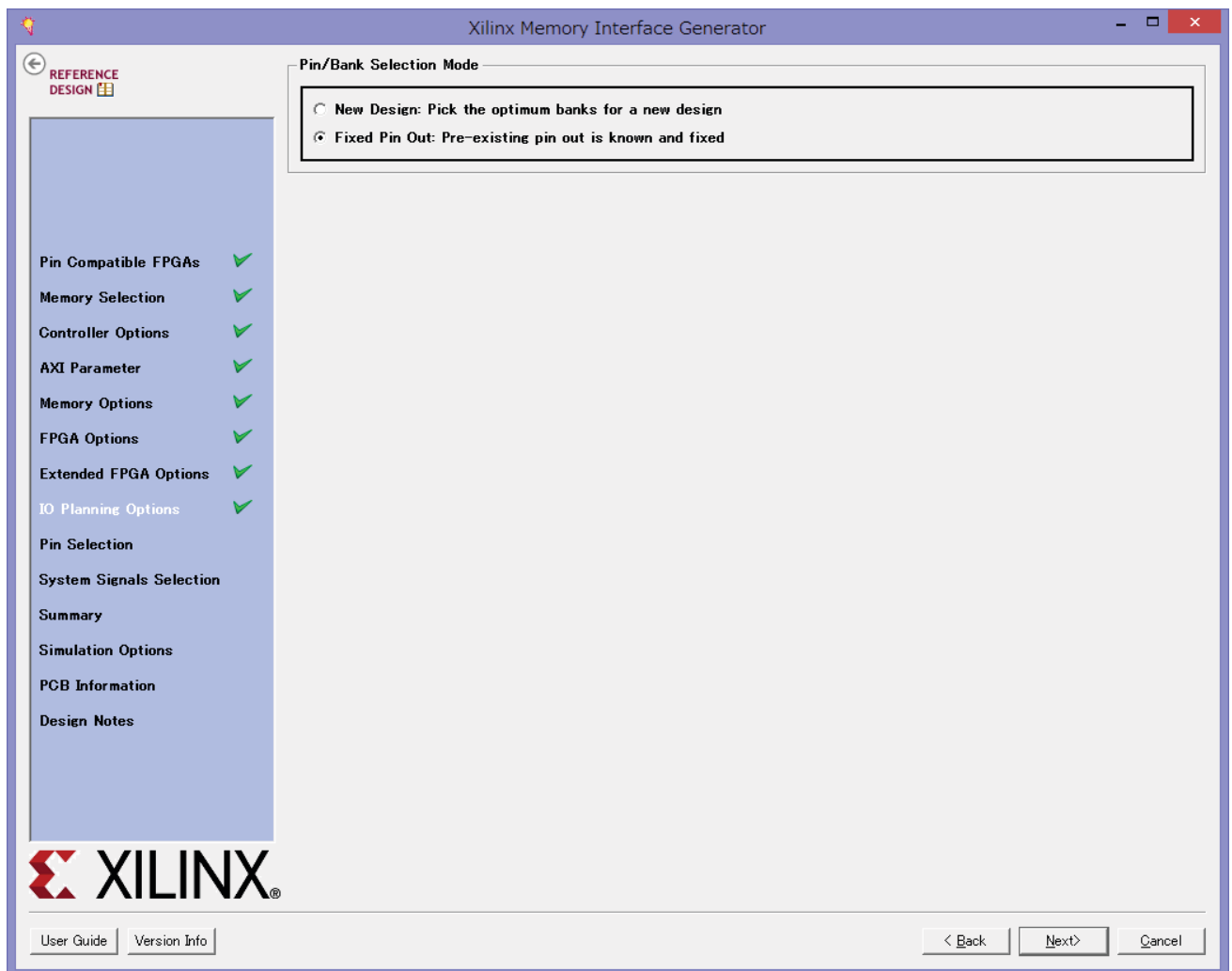


図 15 ピン配置選択方法の指定

このダイアログでは、**Fixed Pin Out** を選択します。

図 16 のダイアログでは、ピン配置を指定します。

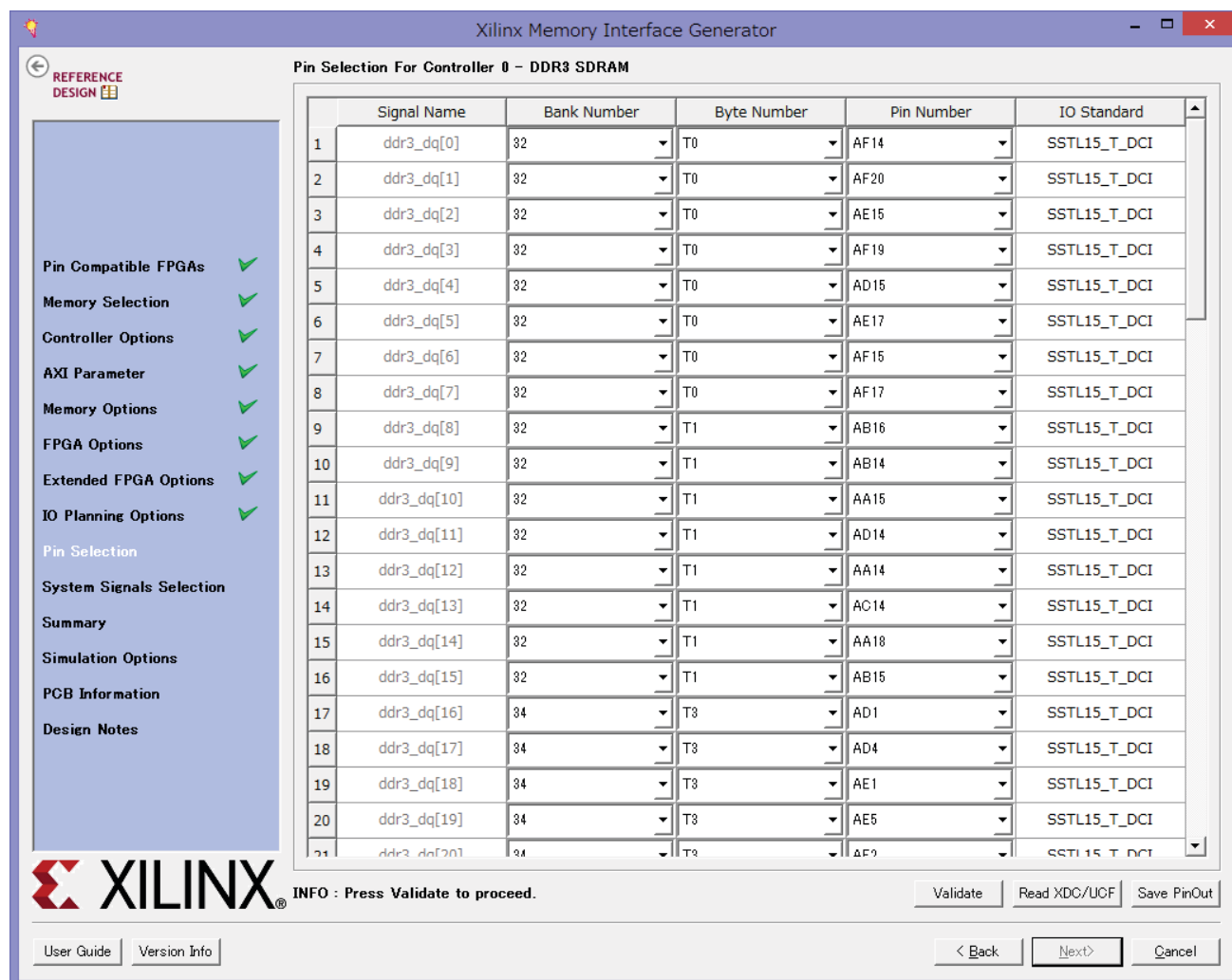


図 16 ピン配置してダイアログ

Windows 版 64bit 版 ISE(14.7)および Vivado(2016.4)では、Read XDC/UCF ボタンを押すとプログラムが終了してしまうバグがあるので、面倒ですが、回路図や表 2 のピン配置表を参照しながら 1 つずつ指定していきます。Bank は入れずにピン番号を入れていくようにすると比較的楽に入力できます。

すべて入力したら Validate を押します。入力に間違いがなければ図 17 のダイアログが出るので、OK を押します。

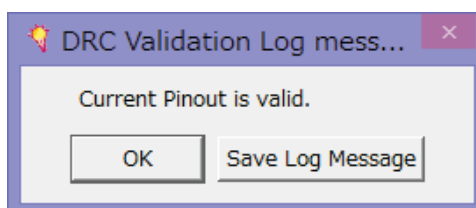


図 17 ピン配置のチェックが終わったダイアログ

図 18 のダイアログではシステム信号の出力先を指定します。

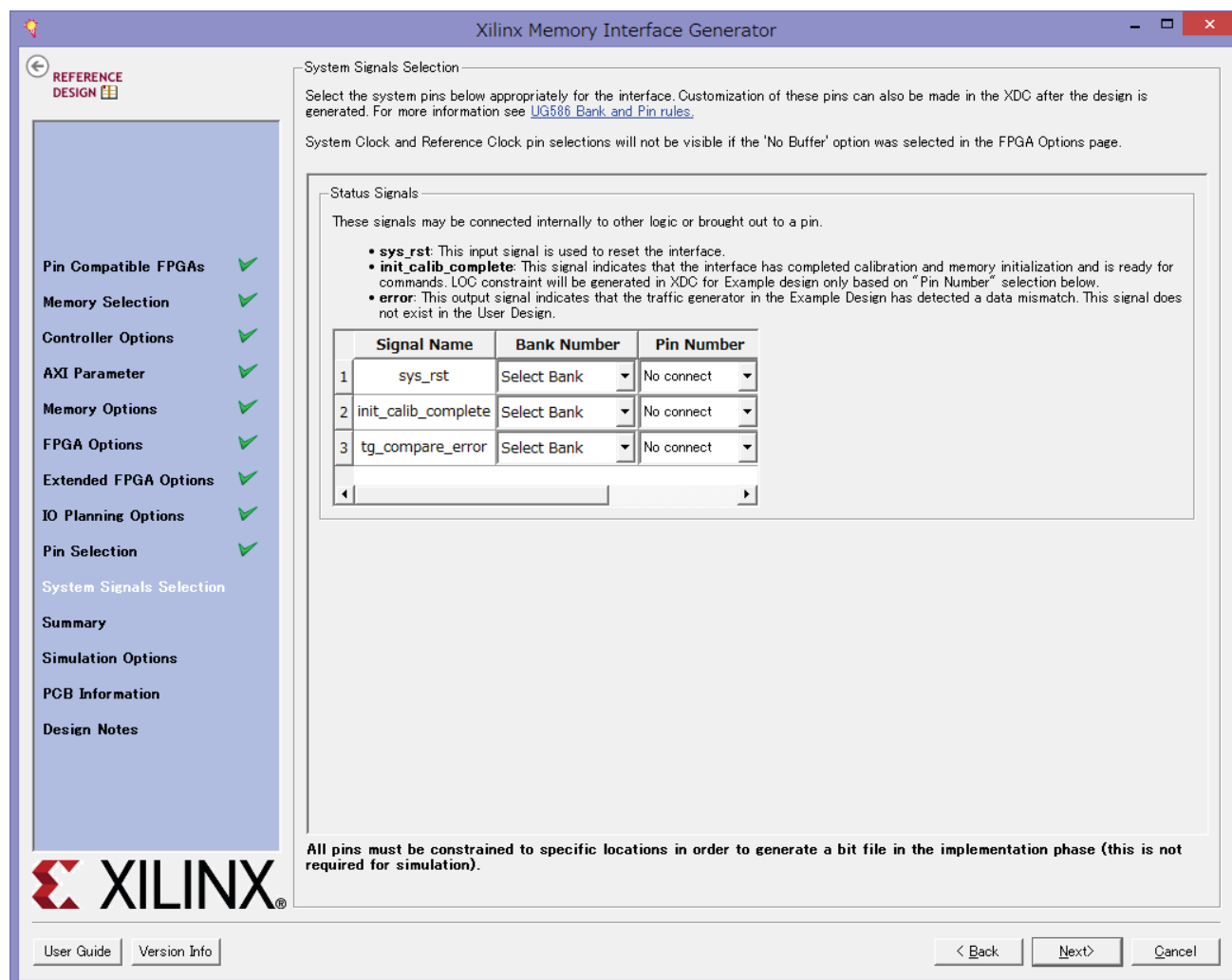


図 18 システム信号の出力先設定

sys_rst、init_calib_complete、tg_compare_error を No connect に変更し、Next を押します。

図 19 は最終確認ダイアログです。

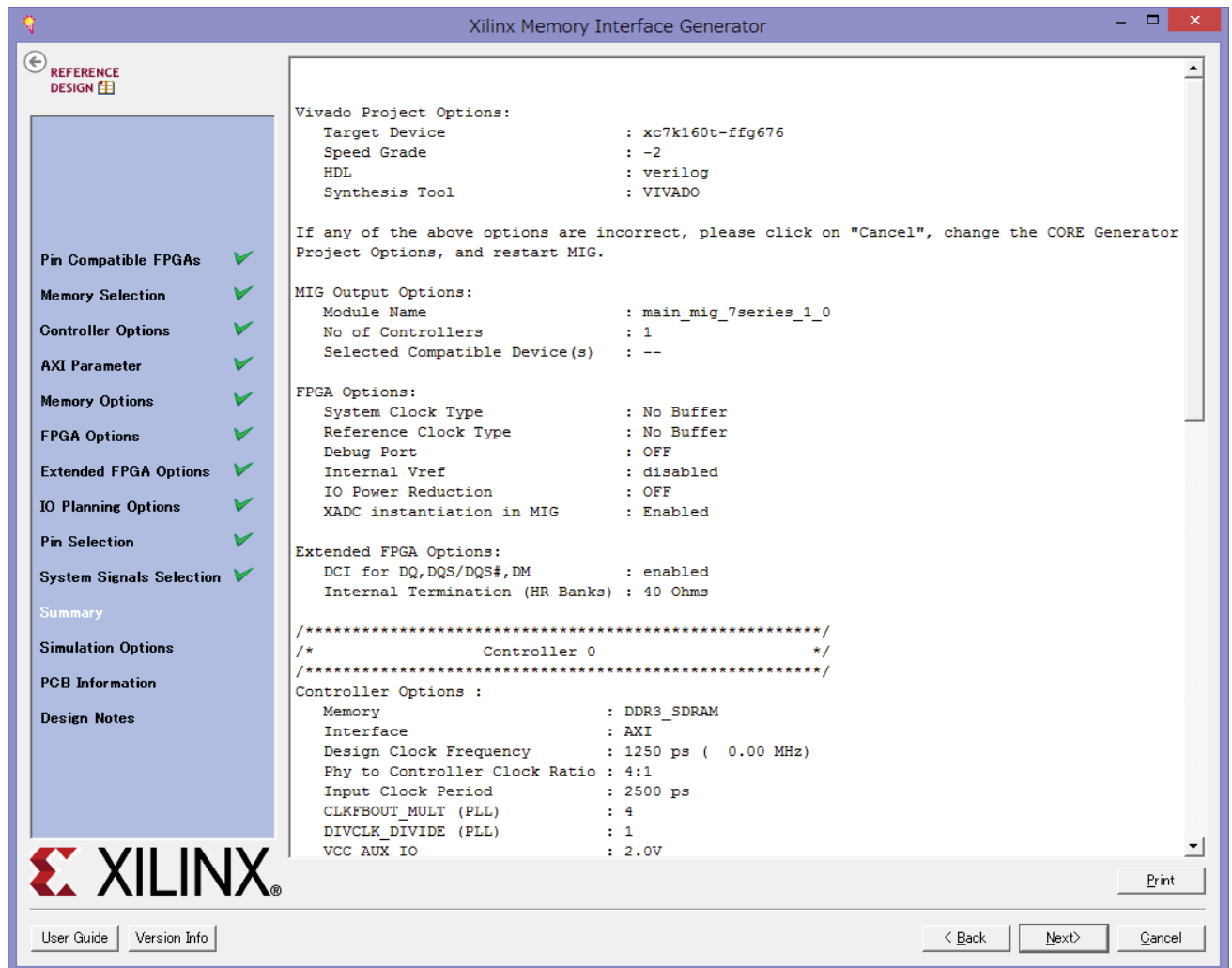


図 19 最終確認ダイアログ

確認した後、Next を押します。

図 20 はシミュレーションモデルのライセンスの確認を行います。

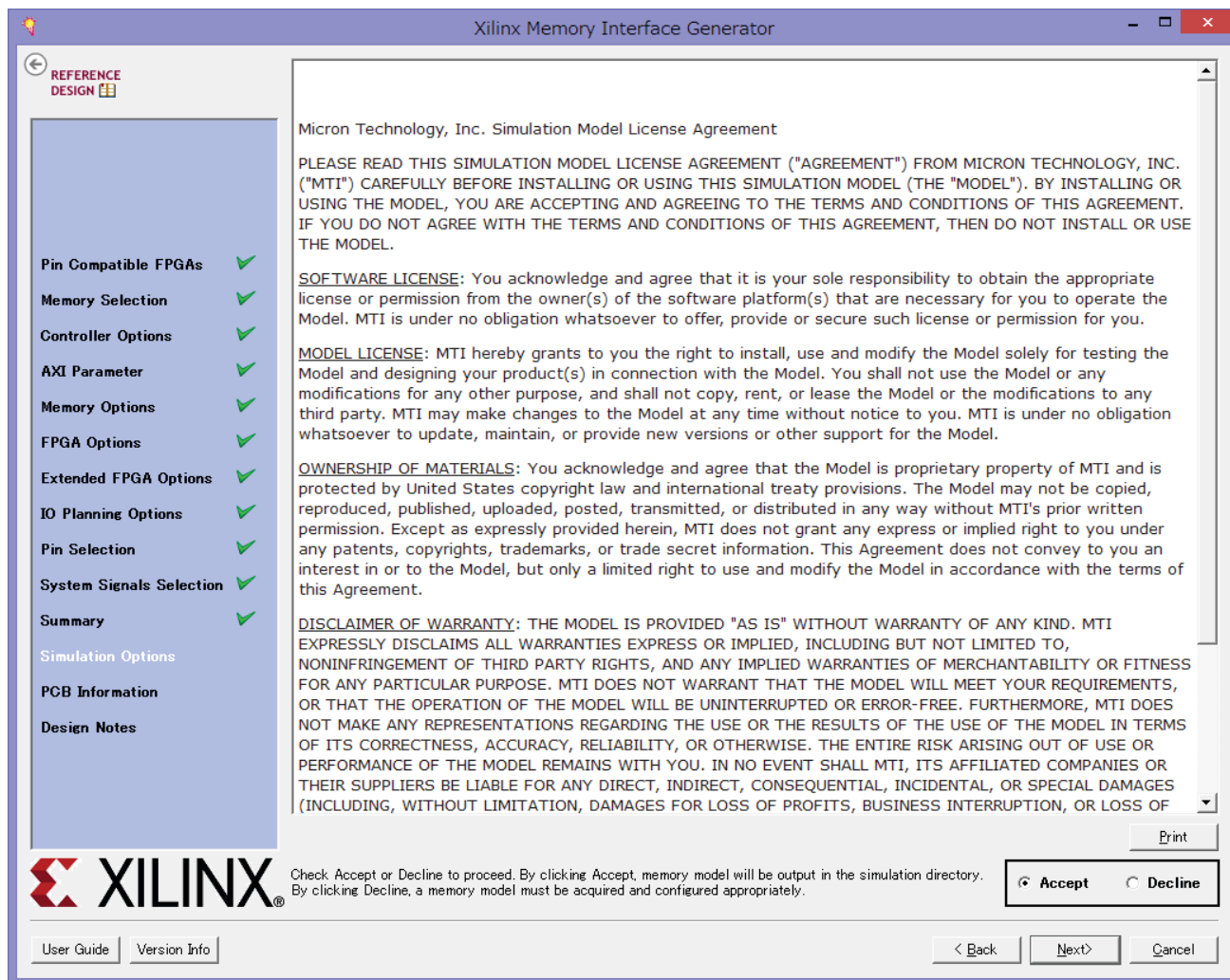


図 20 シミュレーションモデルライセンス確認ダイアログ

Accept を選択し、Next を押します。

図 21 では基板情報の設定です。

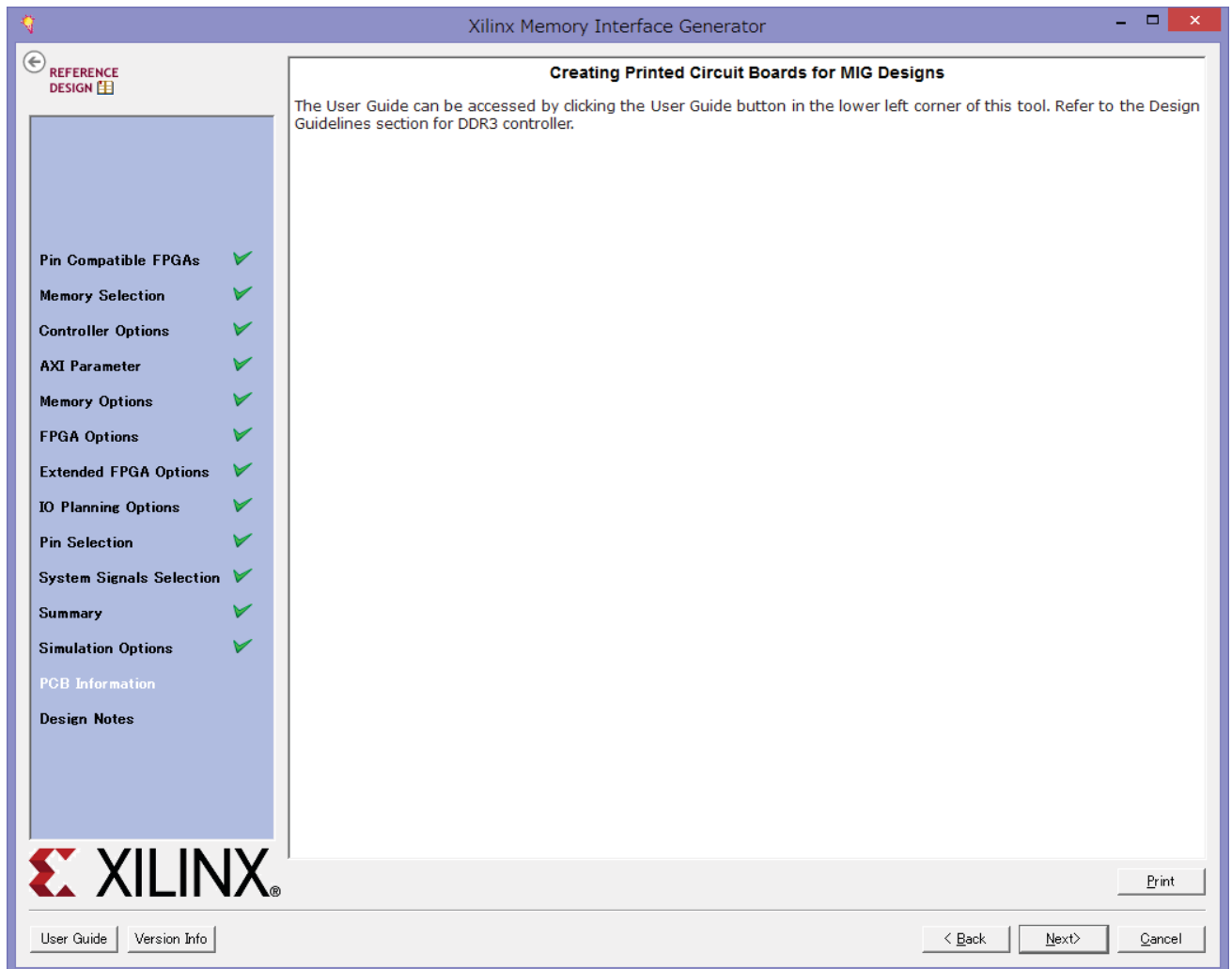


図 21 PCI Information の設定

何もすることはないので、Next を押します。

図 22 は、MIG のコアの更新履歴が表示されます。

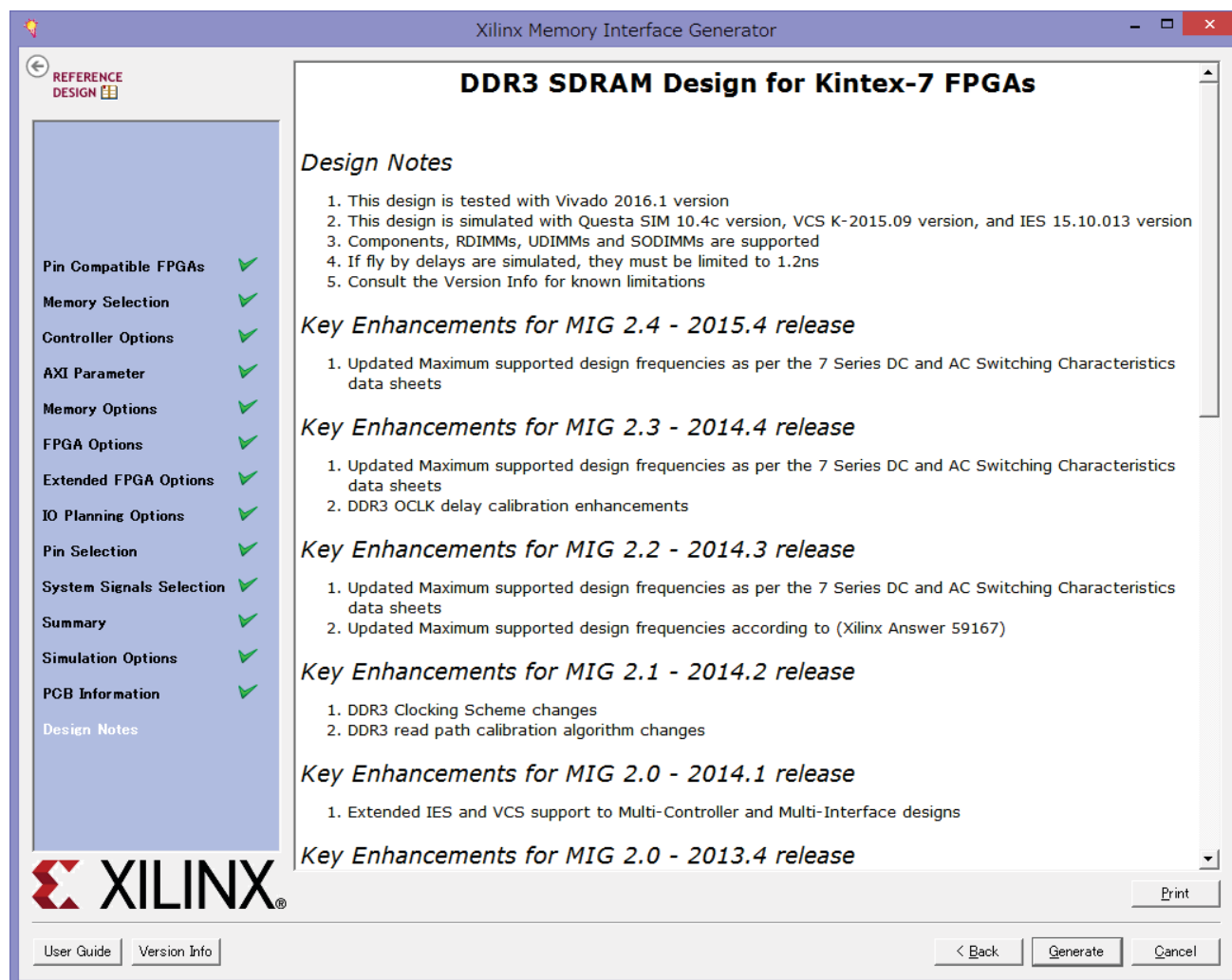


図 22 MIG コアの更新履歴ダイアログ

何もすることはないので、Next を押します。

これですべての設定が完了し、Vivado が MIG のコアを生成します。この作業には数分を要します。

3. 4 アドレスの設定

図 23 のようにして、Address Editor を開きます。

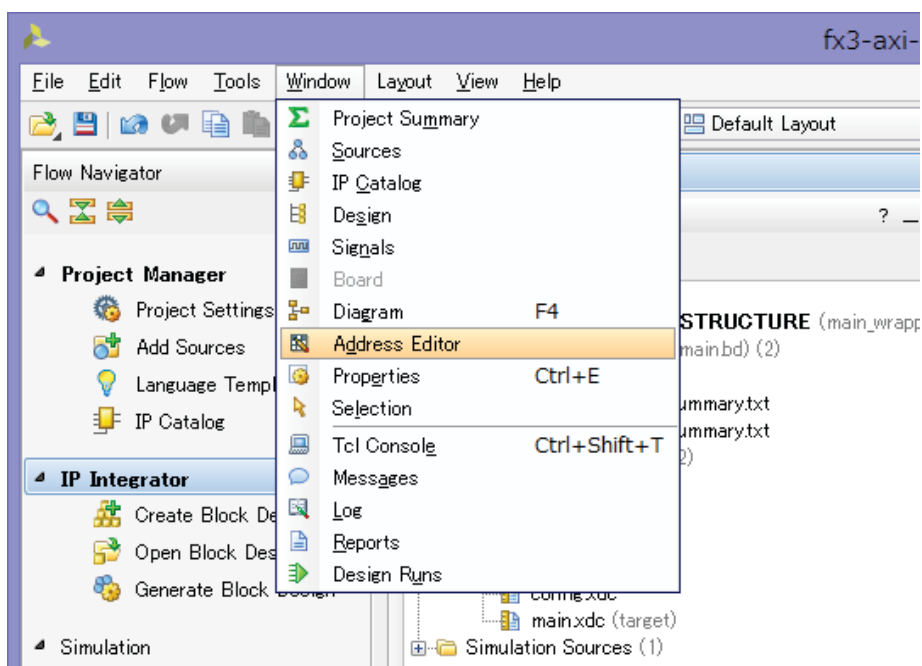


図 23 Address Editor を開きます

図 24 に設定の例を示します。この設定では、0x00000000~0x3FFFFFFF の 1GByte が DDR3 SDRAM に割り当てられます。

Cell	Slave Interface	Base Name	Offset Address	Range	High Address
axisrc_0					
M_AXI (32 address bits : 4G)					
mig_7series_1	S_AXI	memaddr	0x0000_0000	1G	0x3FFF_FFFF
fx3_axi_0					
M_AXI (31 address bits : 2G)					
mig_7series_1	S_AXI	memaddr	0x0000_0000	1G	0x3FFF_FFFF

図 24 DDR3 コントローラのアドレス設定

4. DCI カスケードの設定

Kintex-7 の I/O ポートには入出力インピーダンスをコントロールするしくみとして、DCI というものが備わっています。DCI を使うことで終端抵抗が不要となり、シグナルインテグリティも向上します。

DCI を使用するには、各バンクの VRN 端子を終端抵抗の 2 倍の大きさの抵抗でプルアップし、VPN 端子をプルダウンします。Cosmo-K では Bank32 の VRN と VPN が 100Ω でプルアップ/プルダウンされ、出力インピーダンスが 50Ω となっています。

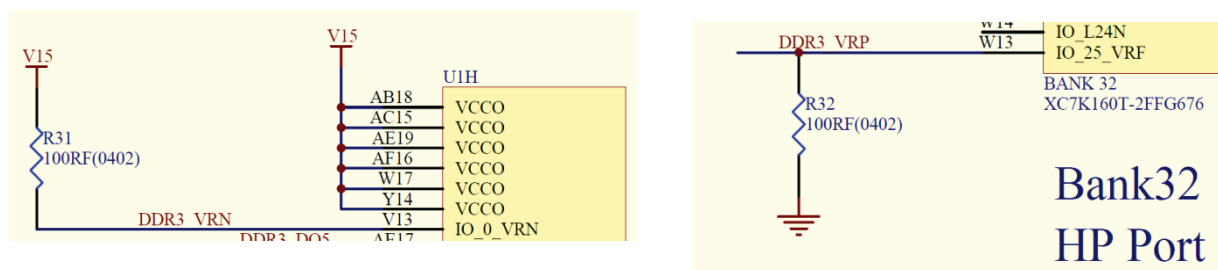


図 25 VRN/VPN の接続

Cosmo-K では DDR3 メモリは Bank32,33,34 の 3 つのバンクにまたがって使用されていますが、VRN/VPN の抵抗は Bank32 のみに実装されているので、そのままでは Bank33 と 34 は DCI の機能を使うことができません。

そこで、Kintex-7 の隣り合う I/O バンクで VRN/VPN の抵抗の値を共有する DCI カスケードという機能を使用します。DCI カスケードを使用するには、XDC ファイルでリスト 1 のような記述を行います。この記述によって、Bank32 の VRP/VPN の値が Bank33,34 でも使用されるようになります。

リスト 1 DCI カスケードを行うための制約

```
set_property DCI_CASCADE {33 34} [get_iobanks 32]
```

5 クロック

5.1 MIG 入力クロック

第3章の方法で生成されたMIGコアは、図12に示すInput Clock Periodで指定された周波数のクロックを `sys_clk_i` に入力して動作させます。図12では、400MHzと指定したので、`sys_clk_i` に400MHzのクロックを入力します。Input Clock Periodの設定で他の周波数を指定した場合には、クロックジェネレータでその周波数のクロックを生成して入力してください。

`clk_ref_i` はリファレンスクロック入力です。ここには200MHzを入れます。

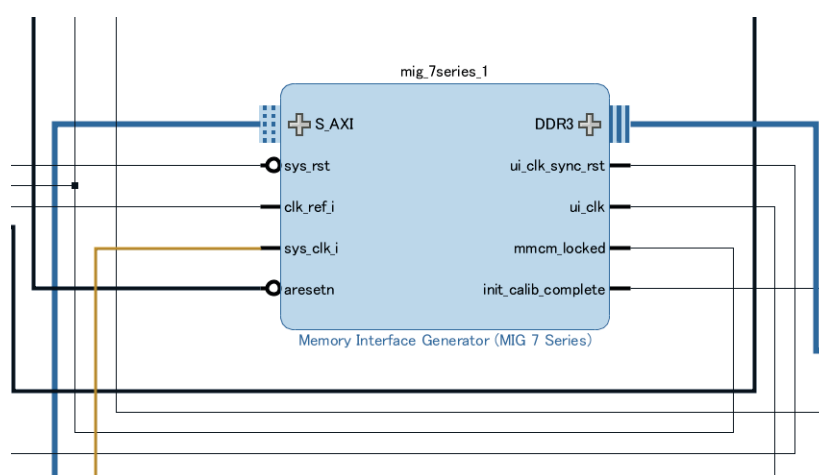


図 26 MIG の入力クロック

もし、Input Clock Periodで指定された周波数と実際の周波数が異なる場合は、メモリが動作する速度が変わってしまいます。例えば、Input Clock Periodを400MHzとし、メモリのアクセス速度を800MHzとしている状態で、実際の`sys_clk_i`を450MHzにした場合はメモリは900MHzで動作しようとするので、DDR3を1800MHzで動かすことになり、全く動作しないか不安定なものになります。

Input Clock Periodで指定された周波数と、実際の周波数は一致させるようにしてください。

5. 2 クロックジェネレータ

前節で説明したとおり、MIG コアは 200MHz と 400MHz のクロックを必要とします。サンプルデザインでは図 27 に示すような Clocking Wizard を用いて生成しています。

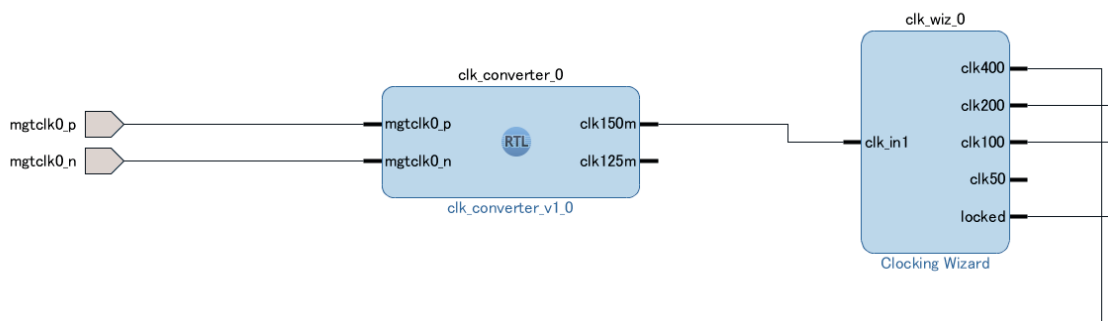


図 27 200MHz と 400MHz のクロックを作るしくみ

図 27 の clk_converter というのは RTL で書かれたモジュールで、基板上の 125MHz または 150MHz の差動入力クロックをシングルエンドの信号に変換するものです。

Clocking Wizard から MIG までの配線を図 28 に示します。

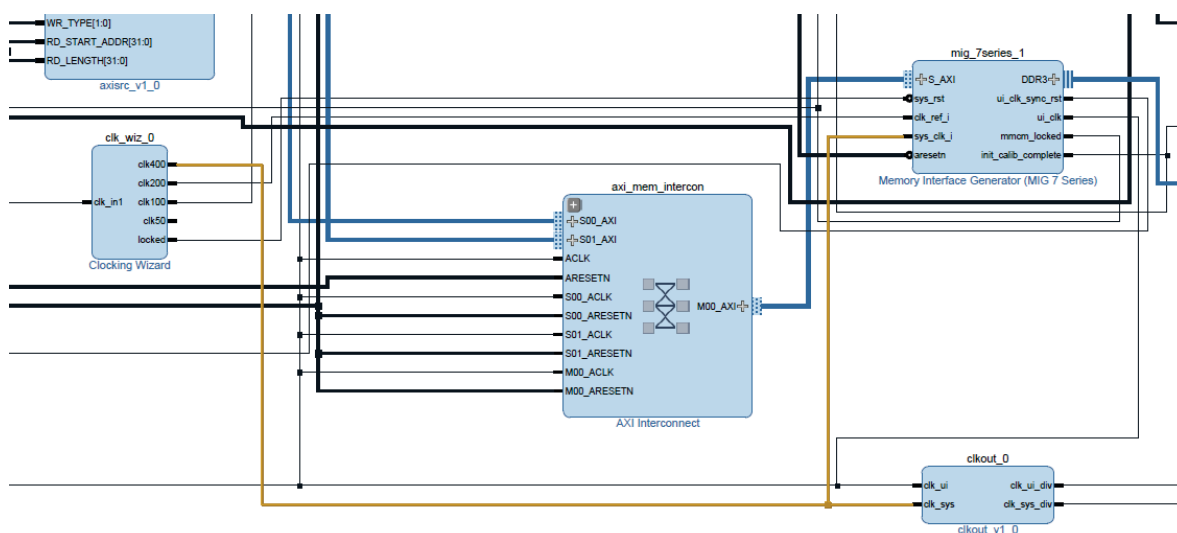


図 28 MIG の入力クロック

Clocking Wizard の 1 ページ目の設定を図 29 に示します。

このダイアログでは入力周波数を設定します。本サンプルでは 150MHz としています。

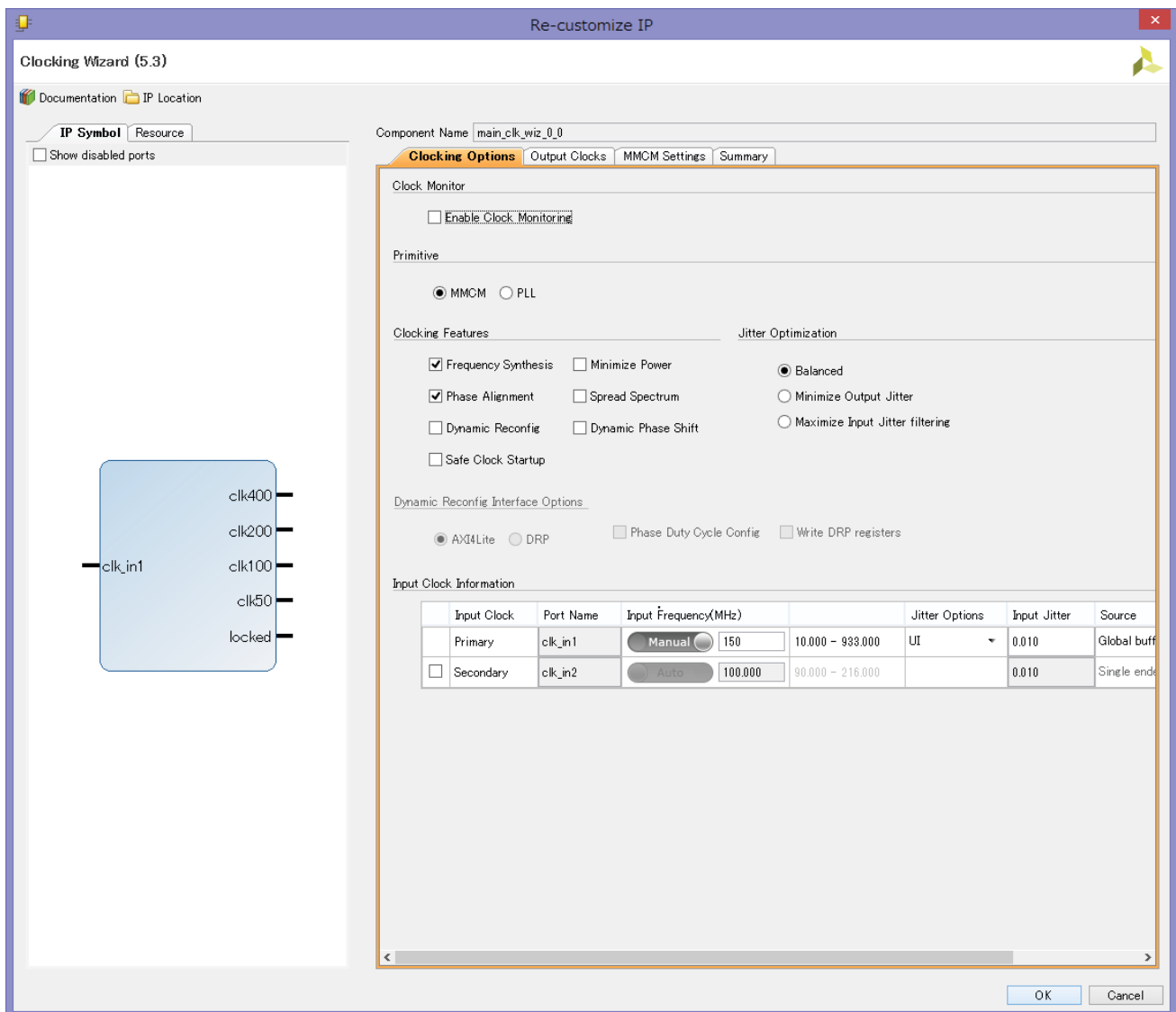


図 29 入力周波数の設定

図 30 は、出力周波数の設定です。MIG の入力クロックの 400MHz と、リファレンス用の 200Mhz、それからシステムで汎用的に使う 100MHz を生成しています。

The phase is calculated relative to the active input clock.

Output Clock	Port Name	Output Freq (MHz)		Phase (degrees)		Duty Cycle Requested
		Requested	Actual	Requested	Actual	
<input checked="" type="checkbox"/> clk_out1	clk400	400	400.000	0.000	0.000	50.000
<input checked="" type="checkbox"/> clk_out2	clk200	200.000	200.000	0.000	0.000	50.000
<input checked="" type="checkbox"/> clk_out3	clk100	100.000	100.000	0.000	0.000	50.000
<input checked="" type="checkbox"/> clk_out4	clk50	50.000	50.000	0.000	0.000	50.000
<input type="checkbox"/> clk_out5	clk_out5	100.000	N/A	0.000	N/A	50.000
<input type="checkbox"/> clk_out6	clk_out6	100.000	N/A	0.000	N/A	50.000
<input type="checkbox"/> clk_out7	clk_out7	100.000	N/A	0.000	N/A	50.000

USE CLOCK SEQUENCING

Output Clock	Sequence Number
clk_out1	1
clk_out2	1
clk_out3	1
clk_out4	1
clk_out5	1
clk_out6	1
clk_out7	1

Enable Optional Inputs / Outputs for MMCM/PLL

reset power_down input_clk_stopped locked clkfbstopped

Reset Type: Active High Active Low

Clocking Feedback: Automatic Control On-Chip Automatic Control Off-Chip User-Controlled On-Chip User-Controlled Off-Chip

Signaling: Single-ended Differential

図 30 出力周波数の設定

図 31 は設定の確認を行うためのものです。特に行うことはありません。

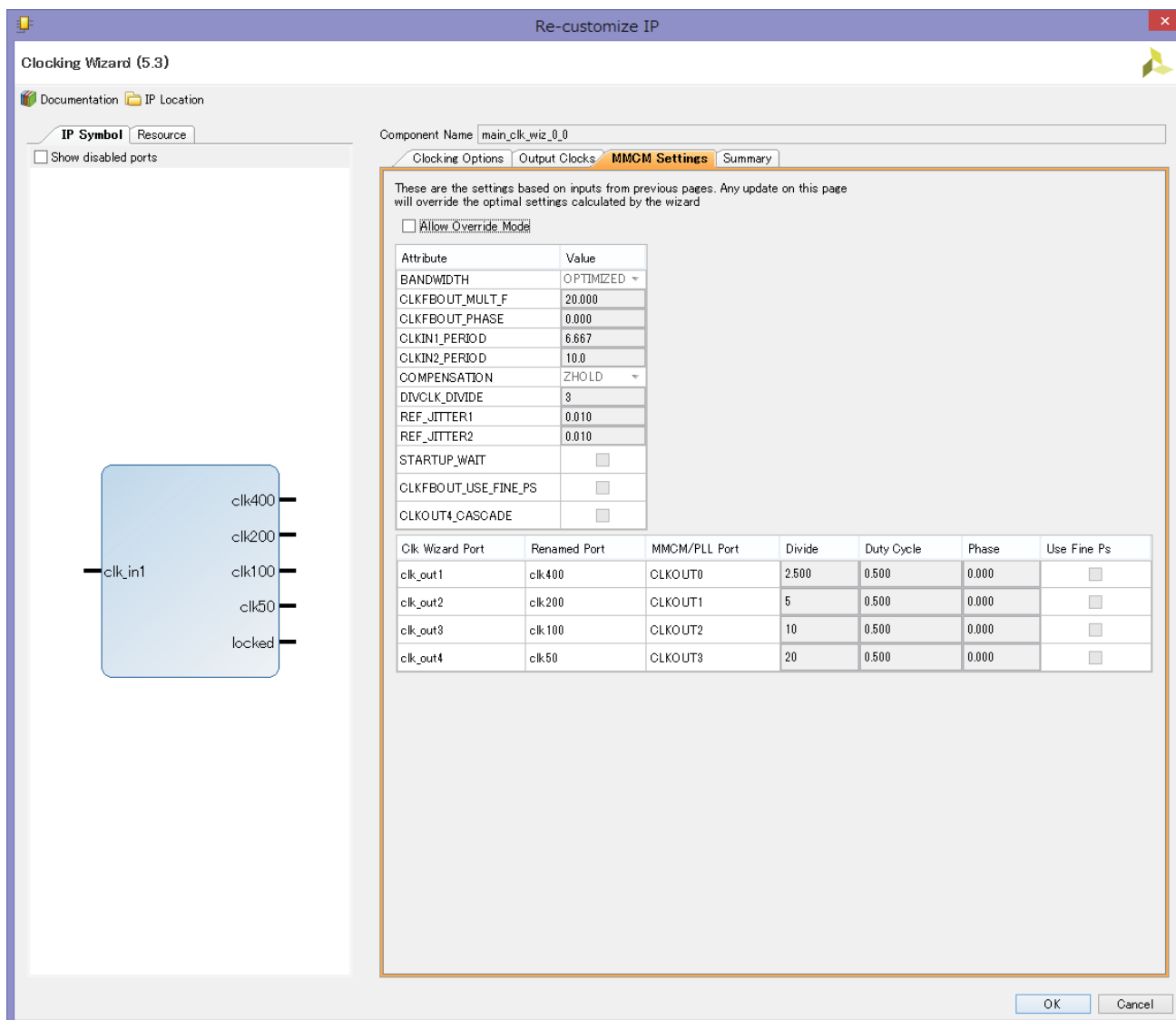


図 31 設定の確認 1

図 32 は設定の最終確認です。

この画面でも特に行うことはありません。OK を押します。

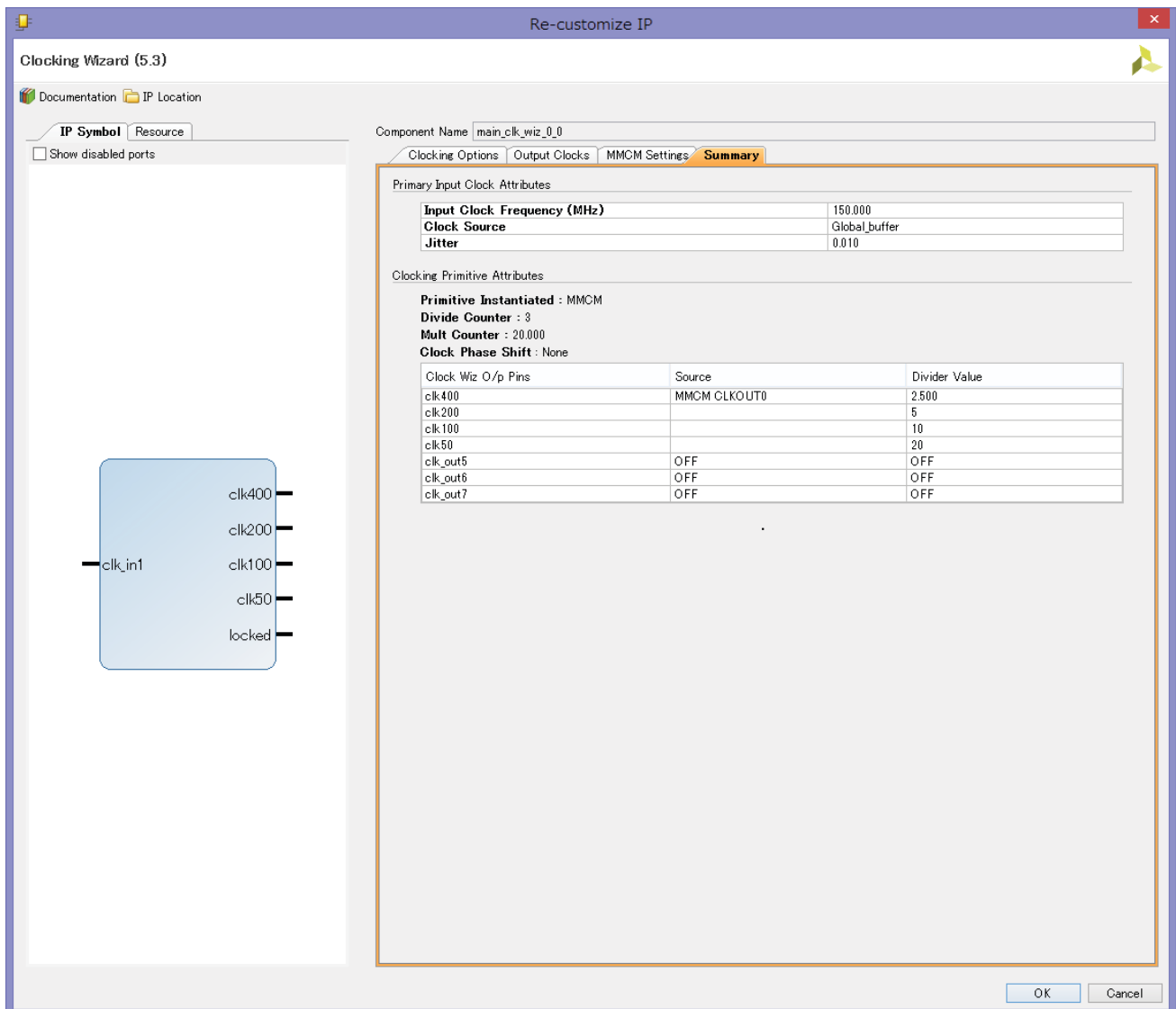


図 32 設定の最終確認 2

5. 3 オンボード水晶発振器

当ボードには、リファレンスクロックとして、表 3 に示すように 2 種類の発振器からクロックが供給されています。これらのクロックは GTX の Bank116 に接続されていて、通常は GTX のリファレンスクロックとして使用されます。

表 3 GTX クロック割り当て

クロック番号	周波数	FPGA ピン番号
REFCLK0	150MHz	p:D6 n:D5
REFCLK1	125MHz	p:F6 n:F5

当ボードにはこれ以外のユーザロジックで利用できるクロック発振器は搭載されていません。そのため、これらのどちらかのクロックを使用してユーザ回路を動作させてください

MGT 用のクロックをユーザ回路で使用するにはプリミティブの IBUFDS_GTE2 を使用します。その使用方法をリスト 2 に示します。

リスト 2 MGT クロックをユーザ回路で使用方法

```

library ieee;
use ieee.std_logic_1164.all;

library unisim;
use unisim.vcomponents.all;
use ieee.std_logic_unsigned.all;
use ieee.numeric_std.all;

entity clk_converter is
    port(
        mgtclk0_p      : in std_logic;
        mgtclk0_n      : in std_logic;
        clk150m        : out std_logic
    );
end clk_converter;

architecture rtl of clk_converter is

begin
    clk150m_ibuf : IBUFDS_GTE2
    port map(
        0      => clk150m,
        ODIV2 => open,
        I      => mgtclk0_p,
        IB     => mgtclk0_n,
        CEB    => '0'
    );
end rtl;

```

5. 4 クロック関係の XDC ファイル設定

Cosmo-K には 150MHz と 125MHz のクロック発振器が搭載されています。これらの発振器を使用した際に、クロックの周期と false path (タイミング解析を行わないパス) を指定する例をリスト 3 に示します。

リスト 3 クロック関係の設定

```
create_clock -period 6.667 -name mgtclk0_p -waveform {0.000 3.334} [get_ports mgtclk0_p]
set_false_path -from [get_clocks [get_clocks -of_objects [get_pins main_i/clk_wiz_0/inst/mmcm_adv_inst/CLKOUT2]]] -to [get_clocks [get_clocks -of_objects [get_pins main_i/mig_7series_0/u_main_mig_7series_0_0_mig/u_ddr3_infrastructure/gen_mmcm.mmcm_i/CLKFBOUT]]]
set_false_path -from [get_clocks [get_clocks -of_objects [get_pins main_i/mig_7series_0/u_main_mig_7series_0_0_mig/u_ddr3_infrastructure/gen_mmcm.mmcm_i/CLKFBOUT]]] -to [get_clocks [get_clocks -of_objects [get_pins main_i/clk_wiz_0/inst/mmcm_adv_inst/CLKOUT2]]]
```

5. 5 MIG の出力クロック

MIG の出力クロック `ui_clk` は、図 9 のダイアログで 4:1 と示されているように、メモリクロックの 4 分の 1 の速度となります。そのため、メモリを 800MHz (DDR3-1600) で動作させた場合、`ui_clk` は 200MHz となります。

`ui_clk` は `axi_clk` として使用されるほか、IP カタログ中にある Processor System Reset モジュールの `slowest_sync_clk` に接続されます。`ext_reset_in` には `ui_clk_sync_rst` を接続し、`dcm_locked` には MIG 出力の `mmcm_locked` を接続します。

`proc_sys_reset` モジュールから出力される `interconnect_aresetn[0:0]` は AXI インタコネクタの `aresetn` に接続し、`peripheral_aresetn[0:0]` は様々な AXI モジュールの `aresetn` に接続します。

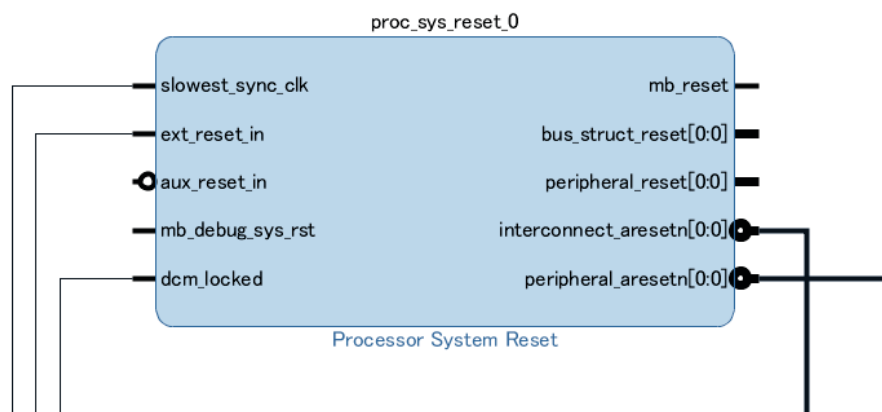


図 33 リセット信号発生モジュール

5. 6 メモリのクロック速度の変更

一般的に、DDR3 メモリと FPGA の発熱量は、クロックの速度が高いほど大きくなります。そのため、メモリのクロックの速度は必要最低限の速度にとどめておいたほうが発熱を抑える面で効果的です。

本ボードのメモリクロックは最大 800MHz (DDR1600) まで対応していますが、システムの要求が許せば 400MHz や、200MHz などより低い周波数で動作させることも検討してください。

DDR3 メモリのクロック速度は、図 9 の Clock Period で設定します。この設定を変更すると図 12 の sys_clk_i の Input Clock Period も変わるので注意してください。

6 AXI インタコネクタの利用

MIG は AXI スレーブとして動作しますが、スレーブポートが 1 つしかありません。また MIG の出す AXI のデータバスは 256bit 幅と広く、多くのアプリケーションではそこまで広いバス幅を要求していない可能性もあります。

そこで、複数のマスターから MIG にアクセスしたい場合には AXI インタコネクタを使用し、ポートの数を増やしたり、クロック速度やデータバス幅の変換を行います。

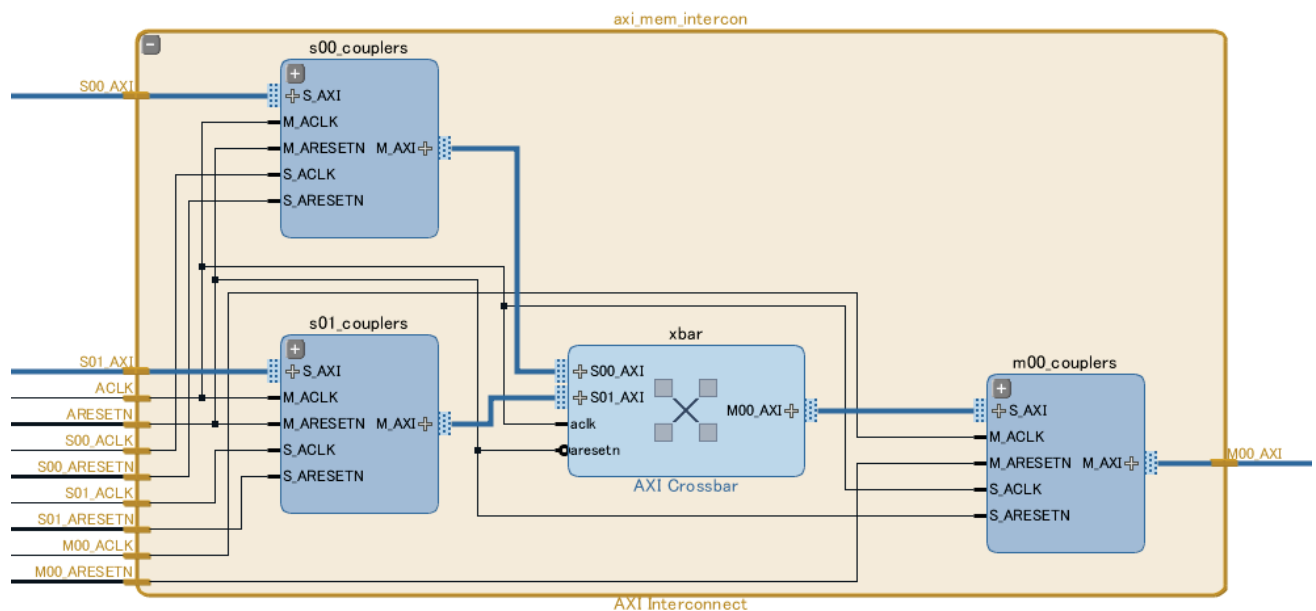


図 34 AXI Interconnect の構成

図 34 は、IP カタログから追加した AXI Interconnect です。2 つのマスターを S00 と S01 ポートに接続し、M00_AXI ポートに MIG を接続するようになっています。xbar はデータの交換を、couplers はデータのバス幅の変換を行います。

7. FPGA の DDR3-SDRAM ポートのピン配置

本製品は、ISSI 社製の DDR3 SDRAM を搭載しています。メモリサイズは 1GByte で、FPGA と接続するデータバス幅は 32bit、最大動作周波数 800MHz(1600Mbps)です。この DDR3 SDRAM は、ユーザアプリケーションで自由に使用することができます。FPGA と DDR2 SDRAM 間の接続を次の表 10、11 に示します。DDR3 は、XILINX Vivado の MIG から使用することができます。信号の電気的特性は SSTL15 です。

表 4 DDR2 SDRAM と FPGA 間の接続

DDR3 端子名称	FPGA ピン番号	機能	DDR3 端子名称	FPGA ピン番号	機能
D0	AF14	データバス	D16	AD1	データバス
D1	AF20		D17	AD4	
D2	AE15		D18	AE1	
D3	AF19		D19	AE5	
D4	AD15		D20	AE2	
D5	AE17		D21	AE6	
D6	AF15		D22	AF2	
D7	AF17		D23	AE3	
D8	AB16		D24	Y2	
D9	AB14		D25	Y3	
D10	AA15		D26	AC2	
D11	AD14		D27	V2	
D12	AA14		D28	AA2	
D13	AC14		D29	V1	
D14	AA18		D30	AB2	
D15	AB15		D31	W1	
DM0	AD16	DQ[7:0]マスク	DM2	AF3	DQ[23:16]マスク
DM1	AC16	DQ[15:8]マスク	DM3	Y1	DQ[31:24]マスク
DQSP0	AE18	DQ[7:0] ストローブ	DQSP2	AF5	DQ[23:16] ストローブ
DQSN0	AF18		DQSN2	AF4	
DQSP1	Y15	DQ[15:8] ストローブ	DQSP3	AB1	DQ[31:24] ストローブ
DQSN1	Y16		DQSN3	AC1	

表 5 DDR2 SDRAM と FPGA 間の接続(続き)

DDR3 端子名称	FPGA ピン番号	機能	DDR3 端子名称	FPGA ピン番号	機能
A0	AD8	アドレス	RASn	AA7	制御信号
A1	AD11		CASn	AB7	制御信号
A2	AD9		WEn	AA8	制御信号
A3	AE7		CKE	AF12	CLK イネーブル
A4	AE13		CKp	AA9	クロック
A5	AD10		CKn	AB9	
A6	AF13		ODT	AE12	終端 ON/OFF
A7	AC11		RESETn	AE10	リセット
A8	AF9		CSn	AC7	チップセレクト
A9	AF8		BA0	AC8	バンク・ アドレス
A10	AF7		BA1	AF10	
A11	AC12		BA2	AE8	
A12	AC9				
A13	AC13		VRP	W13	終端抵抗制御
A14	AD13		VRN	V13	終端抵抗制御

8. その他の事項

8. 1 MIG の起動

電源を投入すると MIG が動作を開始し、最初にキャリブレーションが行われます。キャリブレーションが完了すると、MIG の `init_calib_complete` 信号が H になります。また、キャリブレーションの際に DDR3 SDRAM 内のデータは一部が書き換わります。

もし、指定された速度で DDR3 メモリが動作しない場合には、`init_calib_complete` 信号は L のままとまります。その状態で AXI のトランザクションを発行しても、応答がないため、固まったようになります。

逆に、`init_calib_complete` が H になれば、それまでのキャリブレーション・フェーズで、読み出しや書き込みが正常に行われたことが示されます。

8. 2 XADC を使用しない方法

MIG は FPGA の内蔵温度センサを用いて温度を監視して、キャリブレーションに使用しています。そのため、MIG を使用すると XADC をユーザアプリケーションで使用できなくなってしまいます。そのような場合 MIG の設定で XADC を使用しないようにすることもできます。

図 13 の XADC Instantiation というのがその設定で、ここを `Disable` にすると MIG では XADC が使用されなくなる代わりに、MIG にリスト 4 のポートが追加されます。

リスト 4 温度入力ポート

```
device_temp_i      : in std_logic_vector(11 downto 0);
```

このポートにはユーザが自らの責任で温度の値を与えなければなりません。リスト 5 に示すような固定値を与えておくことで動作させることもできます。この場合は温度管理は効かなくなります。

リスト 5 device_temp_i の設定例

```
device_temp_i      => conv_std_logic_vector(2509, 12),
```

『PCIe & SFP+ボード Cosmo-K MIG 設定ガイド』取扱説明書

平成 29 年 5 月 22 日 特殊電子回路株式会社

©Copyright 2017 特殊電子回路(株) All rights reserved. 無断転載を禁じます
